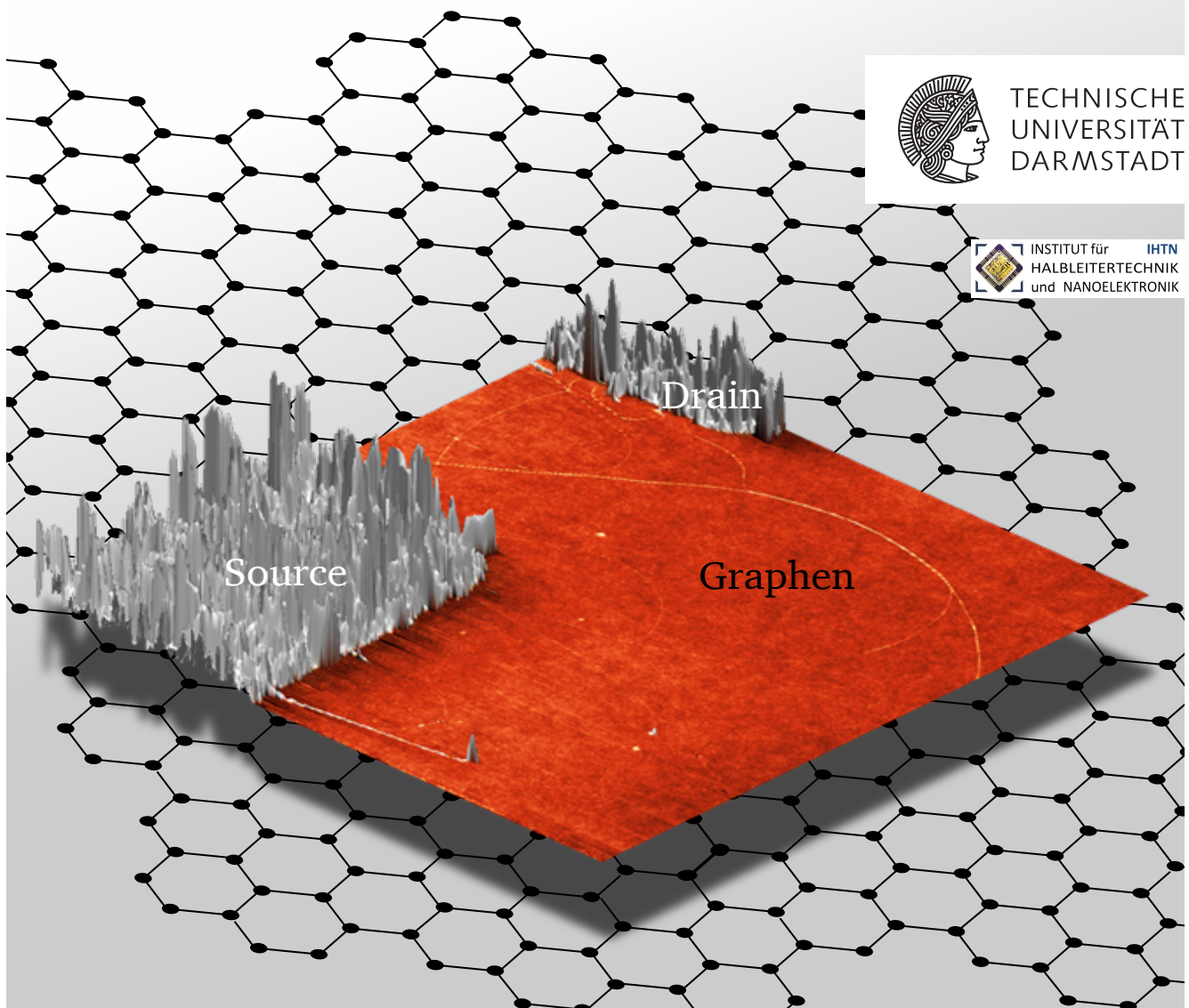


Graphen-Transistoren: Silizium CMOS kompatibel Herstellung für Anwendungen in der Nanoelektronik

Pia Juliane Wessely
2013



Graphen-Transistoren: Silizium CMOS kompatible Herstellung für Anwendungen in der Nanoelektronik

Vom Fachbereich Elektrotechnik und Informationstechnik
der Technischen Universität Darmstadt
zur Erlangung des akademischen Grades eines
Doktor-Ingenieurs (Dr.-Ing.)
genehmigte Dissertation

von

M.Sc. Pia Juliane Wessely

(geb. Ginsel)

Geboren am 02.09.1983 in Dieburg

Referent: Prof. Dr. rer. nat. Udo Schwalke

Korreferent: Prof. Dr.-Ing. Max Lemme

Tag der Einreichung: 29.01.2013

Tag der mündlichen Prüfung: 08.05.2013

D 17
Darmstadt 2013



Erklärung zur Dissertation laut §9 PromO

Ich versichere hiermit, dass ich die vorliegende Dissertation allein und nur unter Verwendung der angegebenen Literatur verfasst habe. Die Arbeit hat bisher noch nicht zu Prüfungszwecken gedient.

Darmstadt, den 29.01.2013

Pia Juliane Wessely

M.Sc. Pia Juliane Wessely



Kurzfassung

Die Mikroelektronik hat sich seit der Entwicklung der ersten integrierten Schaltung in den 1960er Jahren stetig verbessert. Heutzutage ist der Metall-Oxid-Halbleiter-Feldeffekttransistor (MOSFET) das hauptsächlich verwendete Bauelement in digitalen elektronischen Schaltungen. Seit dieser Zeit wurden die Transistoren in jeder Technologiegeneration immer kleiner, die geometrischen Abmessungen wurden lateral und vertikal skaliert. Diese Skalierung ist nur bis zur physikalischen Grenze der Schichtdicken, respektive der minimal möglichen Kanallänge durchführbar. Um diese Technologie weiter nutzen zu können, wurde bislang das Bauelementkonzept modifiziert und mit der Skalierung fortgefahren. Parallel dazu werden neue Silizium basierte Bauelementkonzepte entwickelt, wie beispielsweise FinFETs oder Silizium-Nanodrähte. Auch Kohlenstoff basierte Elektronik ist als möglicher Nachfolger denkbar. In der Forschung konzentriert man sich im Wesentlichen auf Kohlenstoffnanoröhren-FETs (CNTFETs) und Graphen-FETs (GFETs).

Ziel dieser Arbeit ist die Herstellung von Graphen-FETs für Anwendungen in der Nanotechnologie. Die dafür benötigten Graphenschichten wachsen in-situ und transferfrei auf Siliziumdioxid mittels katalytischer chemischer Gasphasenabscheidung (CCVD). Durch geeignete Wahl der Prozessparameter können Graphen-FETs mit einlagigem, zweilagigem oder mehrlagigem Graphen hergestellt werden. Bereits nach dem Wachstumsprozess sind die Graphen-FETs einsatzfähig und direkt mittels des Katalysatorsystems kontaktierbar. Die Anordnung der Schottky-Barrieren gesteuerten Graphen-FETs auf dem Wafer erfolgt mittels konventioneller Lithographietechnik. Abhängig von dem Design der Maske für die Lithografie können derzeit über 2000 GFETs gleichzeitig hergestellt werden. Die Kombination aus AFM-Analyse, REM-Aufnahmen, TEM-Analyse, TEM-Gitterabbildung und Raman-Spektroskopie sowie der typischen Strom-Spannungs-Charakteristik für großflächiges einlagiges Graphen [1], belegen das Wachstum von Graphen mit dem am IHTN entwickelten Herstellungsprozess für Graphen-FETs eindeutig. Die in dieser Arbeit hergestellten zweilagigen GFETs (BiLGFETs) zeigen ein reines p-Typ Verhalten. Das $I_{\text{ON}}/I_{\text{OFF}}$ -Verhältnis der BiLGFETs von bis zu 10^7 ermöglicht die Verwendung von BiLGFETs für Anwendungen in der Nanotechnologie. Aufgrund der stabilen Hysterese der BiLGFETs können diese als Speicherbauelemente verwendet werden. Gelingt es einen n-Typ BiLGFET herzustellen, können BiLGFETs auch für logische Schaltkreise analog zum CMOS genutzt werden. Da das $I_{\text{ON}}/I_{\text{OFF}}$ -Verhältnis der BiLGFETs bei Erhöhung von Raumtemperatur auf 200°C nur um etwa eine Größenordnung sinkt, ist es möglich, BiLGFETs für Anwendungen bei höheren

Temperaturen einzusetzen und dadurch Energie für die Kühlung der Bauelemente einzusparen, desweiteren ist eine Energieersparnis durch verringerte Leckströme möglich.

Die in dieser Arbeit entwickelten Graphen basierten Bauelemente sind aus Fertigungstechnologischer Sicht einfach herzustellen. Der gesamte Herstellungsprozess ist kompatibel zur Silizium CMOS Technologie. Somit besteht die Möglichkeit, Silizium- und Graphen-Bauelemente in einem hybriden Herstellungsprozess zu realisieren. Dies hat den Vorteil, dass die neuen Graphen-FETs in die bekannte Silizium-Fertigungstechnologie integriert werden können. Gelingt es, die Graphen basierten Bauelementkonzepte weiterzuentwickeln, beispielsweise die hohe Ladungsträgerbeweglichkeit von $10^6 \text{cm}^2(\text{Vs})^{-1}$ [1] in idealem einlagigem Graphen auch annähernd in Graphen-FETs zu erreichen, können Graphen-FETs die Nachfolge der heute verwendeten MOS-FETs antreten.

Abstract

Since the invention of the first microelectronic circuit in the beginning of the 60's of the last century, the technology was continuously improved. Nowadays the metal-oxide-semiconductor field effect transistor (MOSFET) is the basic building block of most silicon based digital integrated circuits. From there on every following technology generation were shrunked, e.g. the lateral and vertical dimensions were reduced. However, this geometry scaling is only possible unless physical limits of the processed layers are approached. This constrains the minimal possible FETs channel length to a physical minimum. To further follow Moores Law, several modifications are implemented to the original MOSFET design and geometric scaling is still feasible. In order to prevent hitting the atomic scale limit, new device concepts and architectures have to be established. FinFETs or silicon nanowires are such prospects, but moreover carbon based electronic is gaining worldwide interest. Researchers around the world are working on carbon nanotubes (CNTs) as well as on the Nobel-Prize winning graphene and their outstanding electronic properties to enable either CNTFETs or graphene-FETs with high performance.

The aim of this work is the mass fabrication of graphene based field-effect transistors for electronic applications in nanoelectronics. The graphene layers needed are grown in-situ in a transfer-free catalytic chemical vapor deposition (CCVD) process directly on silicon dioxide. The skillful selection of process parameters allows the fabrication of single, double or multi-layer graphene FETs (GFETs). The lateral placement of the Schottky-barrier GFETs is performed via well-known lithography as it is used throughout all silicon wafer processing. Directly after growth, the fabricated GFETs are electrically functional and can be electrically characterised via the catalyst metals as contact electrodes. Depending on the used lithography mask, up to 2000 GFETs can be produced in one CCVD run by now. The combination of the structural characterization by SEM, TEM, TEM-lattice analysis and Raman-spectroscopy in combination with the electrical characterization of the in-situ grown graphene is used as proof of concept for the developed fabrication process.

The fabricated bilayer graphene FETs (BiLGFETs) exhibit p-type MOSFET behavior. The ON/OFF current-ratio ($I_{\text{ON}}/I_{\text{OFF}}$) of up to 10^7 of the fabricated BiLGFETs at roomtemperature allows their use in integrated circuits and nanoelectronics respectively. A stable hysteresis of the GFETs enables their use as memory devices without the need of storage capacitors and therefore very high data densities are possible. When n-type GFETs are feasible, GFETs could be used as replacement for conventional CMOS FETs. The small decrease of $I_{\text{ON}}/I_{\text{OFF}}$ at temperatures of 200 °C of

only one order of magnitude makes them ideal candidates for high-temperature applications, where energy of leakage currents and cooling can be saved.

The device fabrication process developed during this work is easy from a silicon fabrication technological point of view. The whole fabrication process is fully Si-CMOS compatible, enabling the use of hybrid silicon/graphene electronics. Further research and improvement of the GFETs, in particular making use of its very high charge carrier mobility of $10^6 \text{cm}^2(\text{Vs})^{-1}$ [1] in pristine graphene, could allow a smooth change from silicon to carbon electronics.

Inhaltsverzeichnis

| | | |
|----------|---|-----------|
| 1 | Einleitung | 1 |
| 2 | Grundlagen | 5 |
| 2.1 | Graphen | 8 |
| 2.1.1 | Hybridisierung von Kohlenstoff | 8 |
| 2.1.2 | Gitterstruktur von Graphen | 11 |
| 2.1.3 | Bandstruktur von Graphen | 14 |
| 2.1.4 | Herstellungsverfahren für Graphen | 18 |
| 2.2 | Metall/Halbleiter-Kontakt (Schottky-Kontakt) | 19 |
| 2.3 | Silizium MOS Feldeffekttransistor | 21 |
| 2.4 | Technologie der Fertigungsverfahren | 24 |
| 2.4.1 | Lithographie | 24 |
| 2.4.2 | Metallisierung | 25 |
| 2.4.3 | Lift-Off Technik | 28 |
| 2.4.4 | Katalytisch chemische Gasphasenabscheidung (CCVD) | 29 |
| 2.5 | Strukturelle Charakterisierungsverfahren | 31 |
| 2.5.1 | Rasterkraftmikroskopie (AFM) | 31 |
| 2.5.2 | Rasterelektronenmikroskopie (REM) | 33 |
| 2.5.3 | Raman-Spektroskopie | 35 |
| 2.6 | Elektrische Messtechnik | 39 |
| 3 | Herstellung von Graphen-Feld-Effekt-Transistoren | 41 |
| 3.1 | Beschreibung der Graphen-Feld-Effekt-Transistor-Herstellung | 43 |
| 3.2 | Entwicklung der Prozessparameter | 47 |
| 3.2.1 | Charge <i>GRA3</i> | 47 |
| 3.2.2 | Charge <i>GRA4</i> | 49 |
| 3.2.3 | Charge <i>GRA5</i> | 50 |
| 3.2.4 | Charge <i>GRA6</i> | 52 |

| | | |
|----------|---|------------|
| 3.2.5 | Charge <i>GRA7</i> | 53 |
| 3.2.6 | Charge <i>GRA8</i> | 54 |
| 3.2.7 | Charge <i>GRA9</i> | 56 |
| 3.2.8 | Charge <i>GRA10</i> | 57 |
| 3.2.9 | Charge <i>GRA11</i> | 57 |
| 3.2.10 | Charge <i>GRA12</i> | 58 |
| 3.2.11 | Beste Prozessparameterkombinationen für die GFET-Herstellung | 62 |
| 3.3 | Strukturelle Analyse des Katalysators | 63 |
| 3.3.1 | AFM-Analyse des Katalysators | 63 |
| 3.3.2 | REM-Analyse des Katalysators | 65 |
| 3.3.3 | TEM-Analyse des Katalysators | 67 |
| 3.4 | Strukturelle Analyse der Graphenproben | 69 |
| 3.4.1 | AFM-Analyse von Graphen | 69 |
| 3.4.2 | TEM-Analyse von mehrlagigem Graphen | 70 |
| 3.4.3 | Raman-Spektroskopie von Graphen | 72 |
| 3.4.4 | Korngrenzen in Graphen | 74 |
| 4 | Elektrische Charakterisierung von Graphen-Feld-Effekt-Transistoren | 79 |
| 4.1 | Einlagige Graphen FETs (MoLGFETs) | 81 |
| 4.2 | Zweilagige Graphen FETs (BiLGFETs) | 83 |
| 4.2.1 | Metall/BiLG-Kontakt | 86 |
| 4.3 | Mehrlagige Graphen FETs (FewLGFETs) | 89 |
| 4.4 | Ladungsträgerbeweglichkeit in GFETs | 91 |
| 4.5 | Kontaktwiderstand in GFETs | 92 |
| 4.6 | Hysteresis in GFETs | 93 |
| 4.7 | Temperaturabhängigkeit von BiLGFETs | 96 |
| 4.8 | BiLGFETs der zweiten Generation | 100 |
| 5 | Anwendungsmöglichkeiten und Massenherstellung von BiLGFETs | 103 |
| 5.1 | Verwendung von BiLGFETs als Speicher | 105 |
| 5.2 | Massenproduktion | 108 |

| | | |
|----------|--|------------|
| 6 | Zusammenfassung und Ausblick | 111 |
| 6.1 | Zusammenfassung | 113 |
| 6.2 | Ausblick | 114 |
| | Anhang A | 115 |
| | Danksagung | 119 |
| | Liste der Publikationen und Konferenzbeiträge | 121 |
| | Literaturverzeichnis | 124 |
| | Lebenslauf | 131 |



Abkürzungsverzeichnis

| | |
|-----------------------------------|--|
| AFM | <i>atomic force microscope</i> |
| Al | Aluminium |
| ALD | <i>atomic layer deposition</i> |
| Al _x O _y | Aluminiumoxid |
| APCVD | <i>atmospheric pressure CVD</i> |
| BG | Backgate |
| BiLG | Zweilagiges Graphen |
| BiLGFET | Zweilagen Graphen Feld Effekt Transistor |
| BZ | Brillouin-Zone |
| C | Kohlenstoff |
| CCVD | <i>catalytic chemical vapour deposition</i> |
| CMOS | <i>complementary metal-oxide-semiconductor technology</i> |
| CNT | Kohlenstoffnanoröhre |
| CNTFET | Kohlenstoffnanoröhren Feld Effekt Transistor |
| CVD | <i>chemical vapour deposition</i> |
| DLOS | Doppellagiges Lift-Off System |
| FewLG | Mehrlagiges Graphen |
| FewLGFET | Mehrlagen Graphen Feld Effekt Transistor |
| FLP | <i>fermion level pinning</i> |
| GFET | Graphen Feld Effekt Transistor |
| GND | Masse-/Erdepotential |
| H.c. | Hermiteisch konjugiert |
| H ₂ O | Wasser |
| HMDS | Hexamethyldisilazan |
| I _{ON} /I _{OFF} | Verhältnis zwischen dem Stromfluss im angeschalteten zum ausgeschalteten Zustand |
| LPCVD | <i>low pressure CVD</i> |
| MIGS | Metall induzierten Grenzflächenzuständen |
| MoLG | Einlagiges Graphen |
| MoLGFET | Einlagen Graphen Feld Effekt Transistor |
| MOSFET | <i>metal oxide semiconductor field effect transistor</i> |

Abkürzungsverzeichnis

| | |
|------------------|------------------------------------|
| Ni | Nickel |
| O | Sauerstoff |
| Pd | Palladium |
| PMMA | Polymethylmethacrylat |
| p-MOSFET | p-Typ MOSFET |
| RCS | <i>remote coulomb scattering</i> |
| REM | Rasterelektronenmikroskop |
| RLZ | Raumladungszone |
| RT | Raumtemperatur |
| Si | Silizium |
| SiC | Siliziumcarbid |
| [slm] | Standard-Liter pro Minute |
| SiO ₂ | Siliziumdioxid |
| TEM | Transmissionselektronenmikroskopie |

Symbolverzeichnis

| | |
|------------------------|--|
| A | Fläche |
| B | Kanalbreite |
| C_{SiO_2} | Kapazität von SiO_2 |
| \vec{E} | Vektor des elektrischen Feldes |
| E_C | Energieniveau des Leitungsbandes |
| E_G | Größe der Bandlücke |
| $E_{F,x}$ | Ferminiveau des Materials x |
| E_i | Intrinsisches Energieniveau |
| E_V | Energieniveau des Valenzbandes |
| E_x | Energie |
| f | Frequenz |
| g_m | Unterswellensteigung |
| I_{DS} | Stromfluss zwischen Drain und Source |
| L | Kanallänge |
| m | Masse |
| m^* | Effektive Masse |
| n | Ladungsträgerdichte |
| q | Elementarladung |
| R_{Graphen} | Widerstand im Graphen |
| R_{Kontakt} | Kontaktwiderstand |
| $R_{\text{Zuleitung}}$ | Widerstand in der Zuleitung |
| V_{BG} | Backgate-Spannung |
| V_{DS} | Drain/Source-Spannung |
| V_D | Drain-Spannung |
| V_{FG} | Frontgate-Spannung |
| V_G | Gate-Spannung |
| V_S | Source-Spannung |
| V_T | Einsatzspannung |
| μ | Ladungsträgerbeweglichkeit |
| $\phi_{B,n}$ | Schottky-Barriere für Elektronen |
| $\phi_{B,p}$ | Schottky-Barriere für Löcher |
| ϕ_{BiLG} | Austrittsarbeit des zweilagigen Graphens |
| ϕ_M | Austrittsarbeit eines Metalls |
| ϕ_{Si} | Austrittsarbeit von Silizium |
| ϕ_{SF} | Inneres Potential |
| σ | Leitfähigkeit |



Abbildungsverzeichnis

| | | |
|------|--|----|
| 2.1 | Modifikationen des Kohlenstoffs. | 7 |
| 2.2 | Hybridisierung des Kohlenstoffs. | 9 |
| 2.3 | σ - und Π -Bindung in Graphen und Graphit. | 10 |
| 2.4 | Gitterstruktur von einlagigem Graphen. | 11 |
| 2.5 | Reziproke Gitterstruktur von einlagigem Graphen. | 12 |
| 2.6 | Bandstruktur von einlagigem Graphen. | 14 |
| 2.7 | <i>Bernal stacking</i> von zweilagigem Graphen | 16 |
| 2.8 | Bandstruktur von Graphen. | 16 |
| 2.9 | Zweilagiges Graphen mit angelegtem elektrischem Feld. | 17 |
| 2.10 | Banddiagramm eines Schottky-Kontaktes. | 20 |
| 2.11 | Schematische Darstellung eines MOSFET. | 22 |
| 2.12 | Temperaturabhängigkeit der Unterschwellenkennlinie eines p-MOSFETs. | 23 |
| 2.13 | Grundzüge der Lithographie. | 24 |
| 2.14 | Elektronenstrahlverdampfungsanlage am IHTN. | 26 |
| 2.15 | Schematische Darstellung der Metallisierung einer Wafer-Oberfläche. | 27 |
| 2.16 | Schematische Darstellung eines Lift-Off Prozesses. | 28 |
| 2.17 | CVD-Anlage am IHTN. | 29 |
| 2.18 | Einfluss der Spitzegeometrie auf die AFM-Messung. | 32 |
| 2.19 | REM-Systems am IHTN. | 34 |
| 2.20 | REM- und TEM-Aufnahme einer Graphenprobe. | 35 |
| 2.21 | Phononenstreuung in Graphen. | 36 |
| 2.22 | Raman-Spektrum einer Graphenprobe. | 38 |
| 2.23 | Elektrischer Parameteranalyzer SCS4200 des Herstellers 'Keithley Instruments'. | 39 |
| 3.1 | Schematische Darstellung des Fabrikationsprozesses. | 44 |
| 3.2 | Layout der Maske TUD-T61-1P1. | 45 |
| 3.3 | Wachstum von Kohlenstoffnanoröhren. | 48 |
| 3.4 | Überprüfung der Katalysatorzusammensetzung. | 51 |
| 3.5 | Schematische Darstellung der Katalysatorschicht mit zusätzlicher Palladiumschicht. | 55 |
| 3.6 | Layout der Maske TUD-T62-M1. | 59 |
| 3.7 | Herstellung von GFETs der zweiten Generation. | 61 |
| 3.8 | Katalysatorvergleich von GFETs mittels AFM. | 64 |
| 3.9 | AFM-Analyse der Katalysatoroberfläche nach CCVD. | 65 |
| 3.10 | Katalysatorvergleich von GFETs mittels REM. | 66 |
| 3.11 | TEM-Analyse des Katalysatorbereichs im Querschnitt. | 68 |
| 3.12 | AFM-Analyse <i>GRA4#11-F1545</i> nach CCVD. | 69 |

| | | |
|------|--|-----|
| 3.13 | AFM-Analyse <i>GRA4#7-F5038</i> nach CCVD. | 70 |
| 3.14 | TEM-Analyse von mehrlagigem Graphen. | 71 |
| 3.15 | Raman-Spektrum mehrerer Graphenproben. | 73 |
| 3.16 | Graphenkorngrenzen in GFETs, REM-Aufnahme. | 74 |
| 3.17 | Graphenkorngrenzen in GFETs, AFM-Aufnahme. | 75 |
| 3.18 | Graphenkorngrenzen in GFETs, REM-Aufnahme und Raman-Spektrum. | 77 |
| 3.19 | Graphenkorngrenzen Tsen et al. | 78 |
| 4.1 | Ausgangs- und Unterswellenkennlinie des MoLGFET <i>GRA4#1-F5045</i> | 82 |
| 4.2 | Unterswellen- und Ausgangs-Kennlinie des BiLGFET <i>GRA4#3-F1026</i> | 84 |
| 4.3 | Banddiagramm eines Schottky-Kontaktes. | 86 |
| 4.4 | Schematische Darstellung des Banddiagramms eines BiLGFETs. | 88 |
| 4.5 | Elektrische Charakterisierung von FewLGFETs. | 90 |
| 4.6 | Kontaktwiderstand in GFETs. | 92 |
| 4.7 | Hysterese in GFETs. | 94 |
| 4.8 | Hysterese in BiLGFETs | 95 |
| 4.9 | Temperaturabhängigkeit der Bauelementeigenschaften eines BiLGFETs. | 97 |
| 4.10 | Temperaturabhängigkeit der Bauelementeigenschaften eines BiLGFETs. | 98 |
| 4.11 | Temperaturabhängigkeit der Bauelementeigenschaften eines BiLGFETs. | 99 |
| 4.12 | Unterswellenkennlinie eines BiLGFETs der zweiten Generation. | 101 |
| 5.1 | Verwendung von BiLGFETs als Speicher. | 106 |
| 5.2 | Verwendung von BiLGFETs als Speicher. | 107 |
| 5.3 | Statistische Auswertung der Ausbeute von BiLGFETs. | 109 |

Tabellenverzeichnis

| | | |
|------|---|-----|
| 3.1 | Übersicht über Prozessparameter der Charge <i>GRA3</i> | 49 |
| 3.2 | Übersicht über Prozessparameter der Charge <i>GRA4</i> | 50 |
| 3.3 | Übersicht über Prozessparameter der Charge <i>GRA5</i> | 51 |
| 3.4 | Übersicht über Prozessparameter der Charge <i>GRA6</i> | 52 |
| 3.5 | Übersicht über Prozessparameter der Charge <i>GRA7</i> | 53 |
| 3.6 | Übersicht über Prozessparameter der Charge <i>GRA8</i> | 54 |
| 3.7 | Übersicht über Prozessparameter der Charge <i>GRA9</i> | 56 |
| 3.8 | Übersicht über Prozessparameter der Charge <i>GRA10</i> | 57 |
| 3.9 | Übersicht über Prozessparameter der Charge <i>GRA11</i> | 58 |
| 3.10 | Übersicht über Prozessparameter der Charge <i>GRA12</i> | 60 |
| 3.11 | Beste Prozessparameterkombinationen für die GFET-Herstellung. | 62 |
| A.1 | Übersicht über sämtliche prozessierte Chargen. | 117 |



Kapitel 1

Einleitung



Seit der Herstellung der ersten integrierten Schaltung in den 1960er Jahren hat sich die Mikroelektronik stetig weiterentwickelt. Der Metall-Oxid-Halbleiter-Feldeffekttransistor (MOSFET) ist heutzutage das hauptsächlich verwendete Bauelement in digitalen elektronischen Schaltungen. Aktuelle Schaltungen der Digitaltechnik und der Analogtechnik bestehen teilweise oder vollständig aus komplementärer MOS-Technologie (CMOS). Die Prognose von Gordon Moore bezüglich der Steigerung der Leistungsfähigkeit und Komplexität von integrierten CMOS Schaltungen ist bis heute erfüllt [2]. Die Transistoren wurden in jeder Technologiegeneration immer kleiner, die geometrischen Abmessungen wurden lateral und vertikal skaliert. Diese Skalierung ist nur bis zur physikalischen Grenze der Schichtdicken, respektive der minimal möglichen Kanallänge durchführbar. Um die CMOS Technologie weiter nutzen zu können, wurde bislang das Bauelementkonzept modifiziert und mit der Skalierung fortgeföhren. Parallel dazu werden neue Silizium basierte Bauelementkonzepte entwickelt, wie beispielsweise FinFETs oder Silizium-Nanodrähte [3]. Auch Kohlenstoff basierte Elektronik ist als möglicher Nachfolger denkbar. In der Forschung konzentriert man sich im Wesentlichen auf Kohlenstoffnanoröhren-FETs (CNT-FETs) und Graphen-FETs (GFETs).

Ziel dieser Arbeit ist es Graphen basierte Bauelemente zu entwickeln, welche einfach herzustellen sind und deren Herstellungsprozess kompatibel zur Silizium CMOS Technologie ist. Dies ermöglicht den Einsatz von Silizium- und Graphen-Bauelementen in einem hybriden Herstellungsprozess zu realisieren. Dies hat den Vorteil, dass die neuen Graphen-FETs in die bekannte Silizium-Fertigungstechnologie integriert werden können, bis die Graphen basierten Bauelementkonzepte soweit gereift sind, bis sie die MOSFETs beispielsweise hinsichtlich Ladungsträgerbeweglichkeit und Leckströmen übertreffen. Erst dann ist es sinnvoll Graphen-FETs in Nachfolge von MOSFETs zu verwenden um die Nanoelektronik weiterzuentwickeln. In dieser Arbeit erfolgt die Anordnung der Schottky-Barrieren gesteuerten Graphen-FETs auf dem Wafer mittels konventioneller Lithographietechnik durch Strukturierung der Katalysatorbereiche. Das als Kanalmaterial verwendete Graphen wächst in einem auf katalytisch chemischer Gasphasenabscheidung basierendem Wachstumsprozess in-situ und transferfrei auf Siliziumdioxid. Die metallischen Katalysatorbereiche können als Source- und Drain-Kontakte verwendet werden, wodurch die Graphen-FETs direkt nach dem Wachstumsprozess funktionsfähig sind.

Die Arbeit gliedert sich wie folgt: in Kapitel 2 werden einige Grundlagen zu Graphen und der Fertigungstechnologie zur Produktion von Graphen-FETs diskutiert. In Kapitel 3 wird die Herstellung von Graphen-FETs vorgestellt sowie eine strukturelle Analyse des Graphens gezeigt. Die elektrische Charakterisierung von einlagigem, zweilagigen und mehrlagigen Graphen-FETs folgt in Kapitel 4. In Kapitel 5 wird die Anwendungsmöglichkeit der hergestellten Graphen-FETs diskutiert sowie deren Potential für eine Massenfertigung erörtert. Die Arbeit endet mit Kapitel 6, in welchen das Zukunftspotential von Graphen-FETs vorgestellt wird.



Kapitel 2

Grundlagen



Kohlenstoff ist, beispielsweise in Form von Graphit und Diamant, ein historisch gebräuchliches Material allerdings hinsichtlich kürzlich entdeckter Allotrope des Kohlenstoffs auch ein Material der Zukunft. Reiner Kohlenstoff ist ein Feststoff, in organischen Lösungsmitteln unlöslich und brennbar. Kohlenstoff ist das Element mit dem höchsten Schmelzpunkt ($\approx 3550^\circ\text{C}$ bei Atmosphärendruck). Ein Kohlenstoffatom besitzt sechs Elektronen, welche in verschiedenen Hybridisierungen vorliegen können. Dabei entstehen die verschiedenen Erscheinungsformen des Kohlenstoffs. Da nicht alle Modifikationen des Kohlenstoffs in der Natur vorkommen, wurden einige Modifikationen, wie Kohlenstoffnanoröhren (CNTs), Fullerene und Graphen erst in den letzten Jahrzehnten entdeckt (siehe Abbildung 2.1). Die bekannteste Modifikation des Kohlenstoffs ist der Diamant. Das Diamantgitter besitzt eine tetraedrische Grundstruktur mit einem Kohlenstoffatom an jeder Ecke des Tetraeders und einem weiteren in der Mitte des Tetraeders. Es handelt sich um eine dreidimensionale Struktur. Der Abstand ist zwischen allen Kohlenstoffatomen gleich groß. Ein Diamant ist extrem hart, spröde, farblos und unter großem Aufwand auch synthetisch aus Graphit herstellbar.

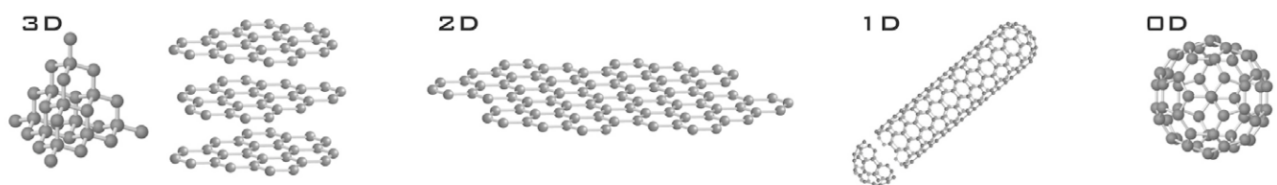


Abbildung 2.1: Modifikationen des Kohlenstoffs (von links nach rechts): drei dimensionaler Diamant und Graphit (3D); zwei dimensionales Graphen (2D); ein dimensionale Kohlenstoffnanoröhren (1D); und null dimensionale Fullerene (0D) [4].

Graphen hingegen besteht aus einer planaren Schicht von Kohlenstoffatomen, welche in einem hexagonalen Gitter angeordnet sind (siehe Abbildung 2.1). Dieses zweidimensionale Material wurde erstmals 2004 von zwei unabhängigen Forschergruppen synthetisiert [5, 6]. Bis zu diesem Zeitpunkt war es von der theoretischen Betrachtung her ausgeschlossen, dass bei endlicher Temperatur aufgrund thermischer Schwingungen eine Fernordnung in zwei Dimensionen existieren kann [7, 8]. Diese These wird als das Mermin-Wagner-Theorem bezeichnet. Heute weiß man, dass Graphen nicht ideal flach ist sondern eine wellige/gekräuselte Oberflächenstruktur besitzt. Dies erklärt auch theoretisch die Stabilität des Graphens. In den folgenden Jahren gelang die Herstellung von weiteren monolagigen Materialien aus verschiedenen Elementen. Für ihre Forschung auf dem Gebiet der zweidimensionalen Materialien erhielten Andre Geim und Konstantin Novoselov am 5. Oktober 2010 den Nobelpreis für Physik [9]. Seither wird weltweit an der Einsetzbarkeit von Graphen für verschiedenste Anwendungen in Biologie, Chemie, Physik, und der Elektrotechnik geforscht.

In diesem Kapitel wird das Material Graphen vorgestellt und dessen Eigenschaften auch in Wechselwirkung mit weiteren Materialien beschrieben. Eine mögliche Verwendung von Gra-

phen ist die Herstellung von neuartigen Transistoren für die Nanoelektronik. Daher werden in diesem Kapitel als Grundlage Eigenschaften eines klassischen Metall-Oxid-Halbleiter Feld-Effekt-Transistors (MOSFET) diskutiert, um diese anschließend mit den Bauelementeigenschaften eines Graphenbauelements vergleichen zu können. Die zur Herstellung der Graphenbauelemente benötigten Fertigungsverfahren und die zur Charakterisierung der Bauelementeigenschaften verwendeten Verfahren werden ebenfalls in diesem Kapitel vorgestellt.

2.1 Graphen

Dieses neue Material hat mehrere einzigartige Eigenschaften, welche für Grundlagenforschung und künftige Anwendungen sehr interessant sind. Die wichtigsten Eigenschaften von Graphen für die Verwendung als Transistormaterial werden im Folgenden vorgestellt. Zum Verständnis dieser Eigenschaften ist es zunächst notwendig, die Struktur von Graphen genauer zu betrachten.

2.1.1 Hybridisierung von Kohlenstoff

Graphen ist eine Modifikation des Kohlenstoffs. Mit Hilfe des Modells der Atom- und Molekülorbitale kann veranschaulicht werden, wie es zu den unterschiedlichen Allotopen des Kohlenstoffs kommt.

Das übliche Bindungsverhalten von atomaren Orbitalen ist die Bindung innerhalb derselben Art von Orbitalen. Zwei s-Orbitale oder zwei gleiche p-Orbitale gehen eine bindende oder antibindende Bindung ein. Für viele Kohlenstoffatome ist dies nicht der Fall, Bindungen werden zwischen verschiedenen Orbitalen, den s- und p- Orbitalen, geschlossen. Es sind auch Mischungen zwischen s-, p- und d-Orbitalen möglich, welche allerdings bei der Wechselwirkung von reinen Kohlenstoffatomen miteinander nicht beobachtet werden. Daher wird im Folgenden die sp^2 - und sp^3 -Hybridisierung von Kohlenstoffatomen diskutiert.

sp^3 -Hybridisierung von Diamant

Ein Kohlenstoffatom besitzt sechs Elektronen mit der folgenden Konfiguration: $(1s)^2(2s)^2(2p)^2$ wie in Abbildung 2.2(a) dargestellt ist. Im Grundzustand befinden sich zwei ungepaarte Elek-

tronen in der äußeren Schale, wodurch das Atom die Möglichkeit hat, Bindungen mit zwei weiteren Molekülen einzugehen [10]. Da zwischen dem 2s- und dem 2p-Zustand nur eine geringe Energiedifferenz vorliegt, ist es bereits bei einer geringen Anregung der Elektronen möglich, ein Elektron vom 2s in den 2p-Zustand anzuregen. Wenn Kohlenstoffatome zusammengebracht werden, wird eines der beiden 2s-Elektronen in das $2p_z$ -Orbital angeregt, wobei die Energie vom Nachbarkern gewonnen wird. Dies hat den Effekt, dass die Gesamtenergie des Systems verringert wird. Als Resultat liegt ein gemischter Zustand aus einem s-Orbital und drei p-Orbitalen (p_x , p_y und p_z) vor, die so genannte sp^3 -Konfiguration. Die Richtung der Orbitale und die Massenschwerpunkte werden durch den spezifischen Beitrag der vier Orbitale bestimmt. Dieser Fall führt zu einer tetraedrischen Anordnung, wobei sich die Massenschwerpunkte in den Ecken befinden. Diese Konfiguration ist in Abbildung 2.2(b) dargestellt. Der charakteristische Winkel zwischen den Hybridorbitalen beträgt $109,5^\circ$ für die sp^3 -Konfiguration. Werden viele Kohlenstoffatome in der sp^3 -Konfiguration zusammen gebracht entsteht eine Diamantstruktur.

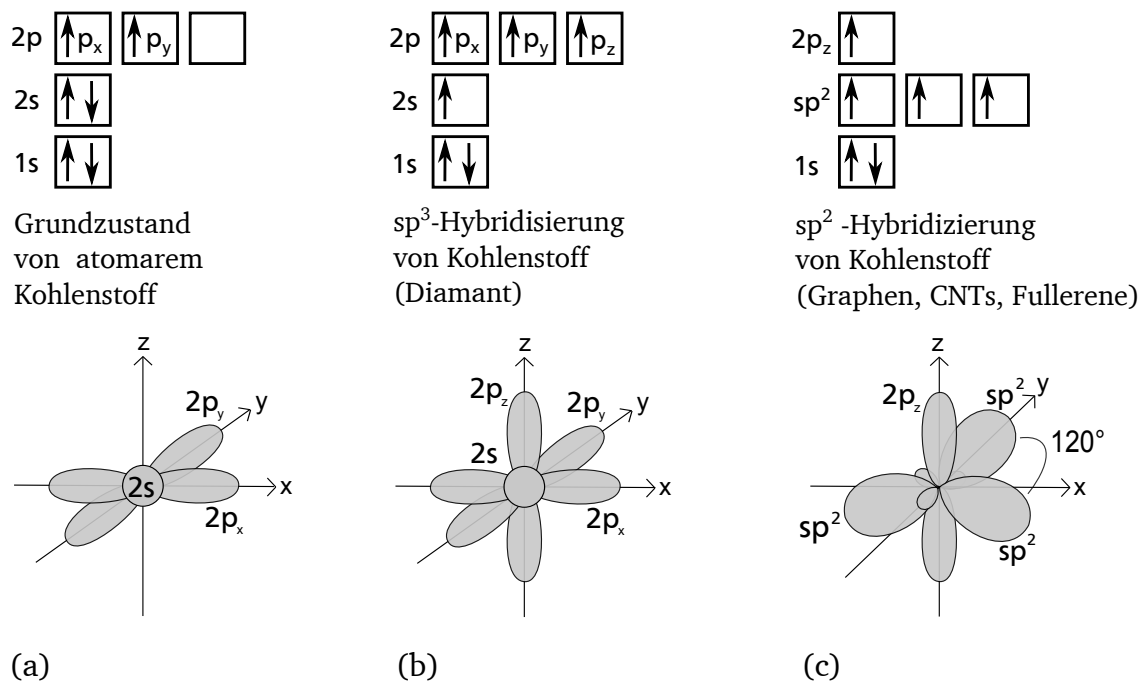


Abbildung 2.2: Hybridisierung des Kohlenstoffs.

sp^2 -Hybridisierung von Graphen

In Graphen wechselwirkt das 2s-Orbital mit den $2p_x$ und $2p_y$ -Orbitalen und es entstehen drei sp^2 -Orbitale [10]. In diesem Fall entsteht eine planare Anordnung wie in Abbildung 2.2(c) dargestellt. Der charakteristische Winkel zwischen den Hybridorbitalen beträgt 120° für die sp^2 -Konfiguration, wobei die Hybridorbitale eine σ -Bindung ausbilden. Die σ -Bindung ist die stärkste der kovalenten Bindungen. Die kovalente Bindung wird auch Atombindung oder

Elektronenpaarbindung genannt, sie verbindet zwei Atome miteinander, die sich hierbei Elektronen teilen, um Edelgaskonfiguration zu erhalten. Die σ -Bindungen lokalisieren die sp^2 -Elektronen innerhalb der Graphen-Ebene und sind für die hohe mechanische Stabilität von Graphen und CNTs gleichermaßen verantwortlich (siehe Abbildung 2.3(a)). Die $2p_z$ -Elektronen bilden ebenfalls kovalente Bindungen aus, die sogenannten Π -Bindungen. Die $2p_z$ -Elektronen sind senkrecht zu der Graphenebene lokalisiert und verbinden die Kohlenstoffatome. Die $2p_z$ -Elektronen sind schwach an die Kerne gebunden und daher delokalisiert. Diese delokalisierten Elektronen sind für die elektronischen Eigenschaften von Graphen und CNTs verantwortlich. Die Bindungen zwischen Graphenschichten, wie sie beispielsweise in einem Graphitkristall vorhanden sind, sind sogenannte Van-der-Waals-Bindungen. In unpolaren oder schwach polaren Molekülen entsteht durch zufällige Ladungsträgerschiebungen kurzzeitig ein Dipol, welcher weitere Dipole in der Umgebung induziert. Eine schematische Darstellung der Van-der-Waals-Bindungen in Graphit ist in Abbildung 2.3(b) dargestellt.

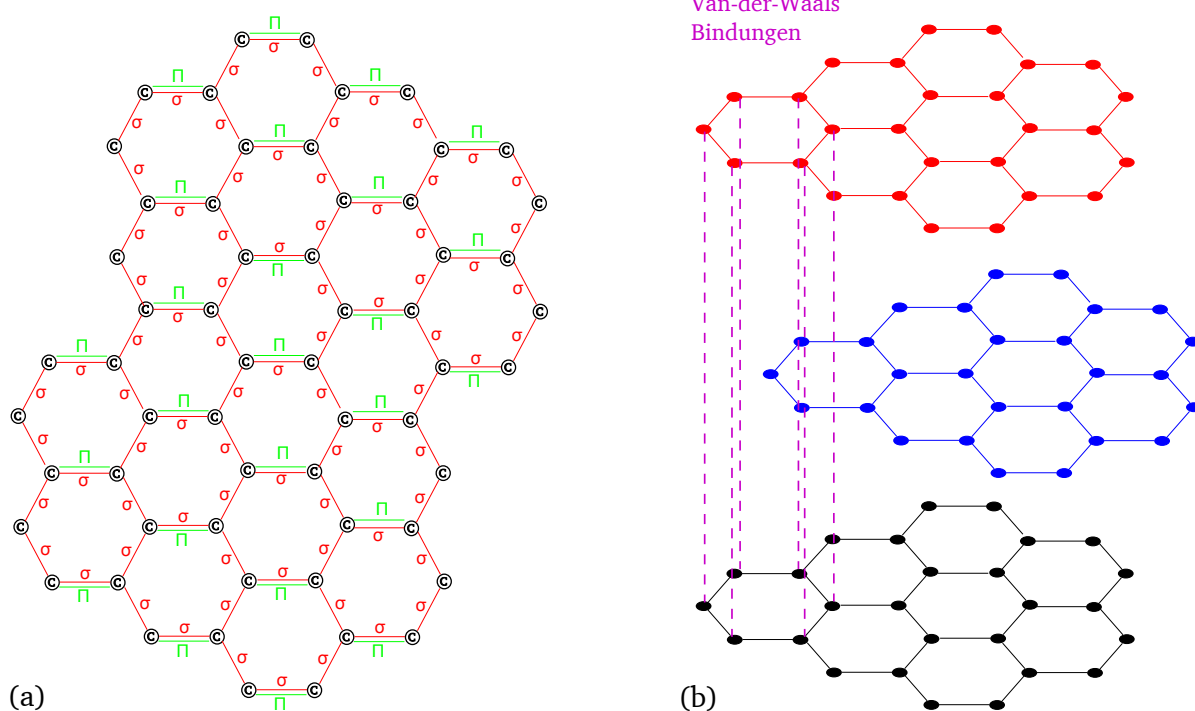


Abbildung 2.3: Schematische Darstellung der σ - und Π -Bindung in Graphen (a) und Van-der-Waals-Bindungen in Graphit (b).

Die sp^2 -Hybridisierung ist Grundlage für die Gitterstruktur von Graphen, welche im folgenden Abschnitt vorgestellt wird.

2.1.2 Gitterstruktur von Graphen

Das direkte Gitter

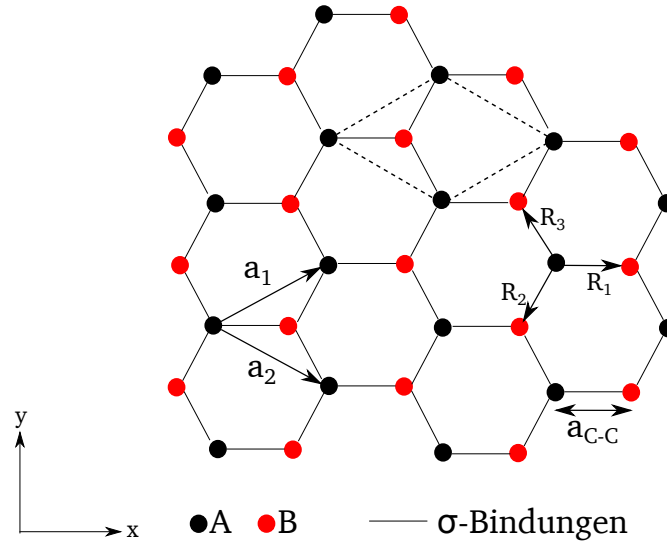


Abbildung 2.4: Gitterstruktur von einlagigem Graphen. Die primitive Einheitszelle ist ein gleichseitiges Parallelogramm (gestrichelte Linie) mit der Basis von zwei Atomen A (schwarz) und B (rot).

Das einer Honigwabe ähnelnde Gitter von Graphen ist in Abbildung 2.4 dargestellt. Die roten und schwarzen Punkte stellen die Kohlenstoffatome (C) dar, die Striche die σ -Bindungen zwischen den Atomen [10]. Die C-C Bindungslänge beträgt etwa $a_{C-C} \approx 1,42 \text{ \AA}$. Das Graphengitter kann als Bravais-Gitter mit einer Basis von zwei Atomen beschrieben werden, welche schematisch in Abbildung 2.4 durch die Farben rot und schwarz dargestellt sind. Die Atome A und B tragen 2 Π -Elektronen pro Einheitszelle zu den elektrischen Eigenschaften von Graphen bei. Das zugrundeliegende Bravais-Gitter hat eine hexagonale Struktur und die einfache Einheitszelle kann als gleichseitiges Parallelogramm mit der Kantenlänge $a = \sqrt{3} a_{C-C} = 2,46 \text{ \AA}$ dargestellt werden. Die Einheitsvektoren

$$\begin{aligned} \mathbf{a}_1 &= \left(\frac{\sqrt{3} a}{2}, \frac{a}{2} \right) \\ \mathbf{a}_2 &= \left(\frac{\sqrt{3} a}{2}, -\frac{a}{2} \right) \end{aligned} \quad (2.1)$$

mit $|\mathbf{a}_1| = |\mathbf{a}_2| = a$ sind in Abbildung 2.4 dargestellt. Jedes Kohlenstoffatom geht Bindungen mit drei weiteren Kohlenstoffatomen ein. Die Vektoren

$$\begin{aligned}\mathbf{R}_1 &= \left(\frac{a}{\sqrt{3}}, 0 \right) \\ \mathbf{R}_2 &= -\mathbf{a}_2 + \mathbf{R}_1 = \left(-\frac{a}{2\sqrt{3}}, -\frac{a}{2} \right) \\ \mathbf{R}_3 &= -\mathbf{a}_1 + \mathbf{R}_1 = \left(-\frac{a}{2\sqrt{3}}, \frac{a}{2} \right)\end{aligned}\tag{2.2}$$

mit $|\mathbf{R}_1| = |\mathbf{R}_2| = |\mathbf{R}_3| = a_{C-C}$ beschreiben den Abstand zwischen einem A-Atom und den nächsten B-Atomen und sind ebenfalls in Abbildung 2.4 dargestellt.

Das reziproke Gitter

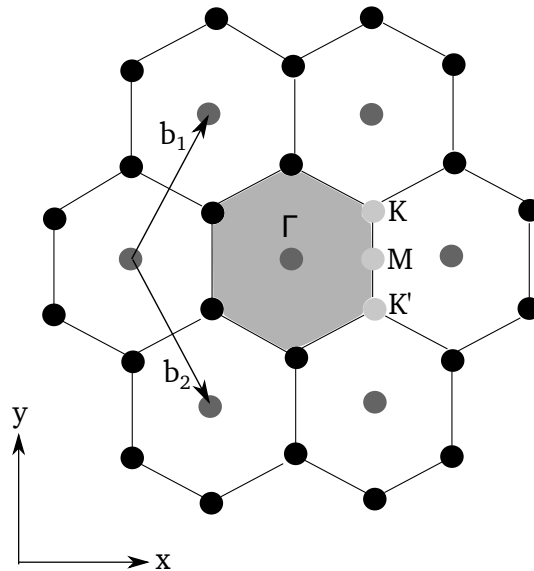


Abbildung 2.5: Reziproke Gitterstruktur von einlagigem Graphen. Die Brillouin-Zone ist grau dargestellt. Die Punkte K und K' sind im wesentlichen gleichwertig.

Das reziproke Graphengitter ist in Abbildung 2.5 dargestellt und ist ebenfalls hexagonal, allerdings um 90° im Bezug zum direkten Gitter rotiert. Die reziproken Gittervektoren sind

$$\begin{aligned}\mathbf{b}_1 &= \left(\frac{2\pi}{\sqrt{3}a}, \frac{2\pi}{a} \right) \\ \mathbf{b}_2 &= \left(\frac{2\pi}{\sqrt{3}a}, -\frac{2\pi}{a} \right)\end{aligned}\tag{2.3}$$

mit $|\mathbf{b}_1| = |\mathbf{b}_2| = \frac{4\pi}{\sqrt{3}a}$ [10]. Die Brillouin-Zone (BZ) ist als graues Sechseck mit der Kantenlänge $b_{BZ} = \frac{|\mathbf{b}_1|}{\sqrt{3}} = \frac{4\pi}{3a}$ dargestellt und hat eine Fläche von $A_{BZ} = \frac{8\pi^2}{\sqrt{3}a^2}$. In dieser Brillouin-Zone existieren drei Punkte hoher Symmetrie: der Γ -Punkt, der M -Punkt und der K -Punkt [10]. Der K -Punkt und der K' -Punkt sind im wesentlichen gleichwertig. Der Γ -Punkt befindet sich in der Mitte der Brillouin-Zone. Die Vektoren, welche vom Γ -Punkt ausgehend die weiteren Symmetriepunkte beschreiben lauten

$$\begin{aligned}\Gamma M &= \left(\frac{2\pi}{\sqrt{3}a}, 0 \right) \\ \Gamma K &= \left(\frac{2\pi}{\sqrt{3}a}, \frac{2\pi}{3a} \right)\end{aligned}\tag{2.4}$$

mit $|\Gamma M| = \frac{2\pi}{\sqrt{3}a}$, $|\Gamma K| = \frac{4\pi}{3a}$ und $|\mathbf{MK}| = \frac{2\pi}{3a}$. Es existieren sechs K -Punkte und sechs M -Punkte innerhalb einer Brillouin-Zone. Die eindeutige Beschreibung der Energiebänder von kristallinen Festkörpern geschieht innerhalb der Brillouin-Zone. Die Darstellung der Energiebänder erfolgt aus praktischen Gründen häufig entlang der Symmetrie-Richtungen. Das reziproke Gitter wird auch k -Raum genannt. Der Vektor, welcher jeden Punkt innerhalb der Brillouin-Zone lokalisiert, ist der Wellenvektor \mathbf{k} .

Ausgehend von der reziproken Darstellung des Graphengitters kann, wie im folgenden Abschnitt beschrieben, der Hamilton-Operator zur Berechnung der Energiebänder formuliert werden.

2.1.3 Bandstruktur von Graphen

P. R. Wallace schrieb im Jahre 1946 die ersten Veröffentlichungen über die Bandstruktur von Graphen und beschrieb erstmals das ungewöhnliche halbmetallische Verhalten dieses Materials [11]. Zu dieser Zeit war die Existenz eines reinen zweidimensionalen Materials pure Phantasie. Wallace untersuchte die Eigenschaften von Graphen als Basis für eine Studie über Graphit. Die Bandstruktur einer einzelnen Graphenlage wird heutzutage mit der *Tight-Binding-Methode* [12, 13] berechnet und ist in Abbildung 2.6 dargestellt [14].

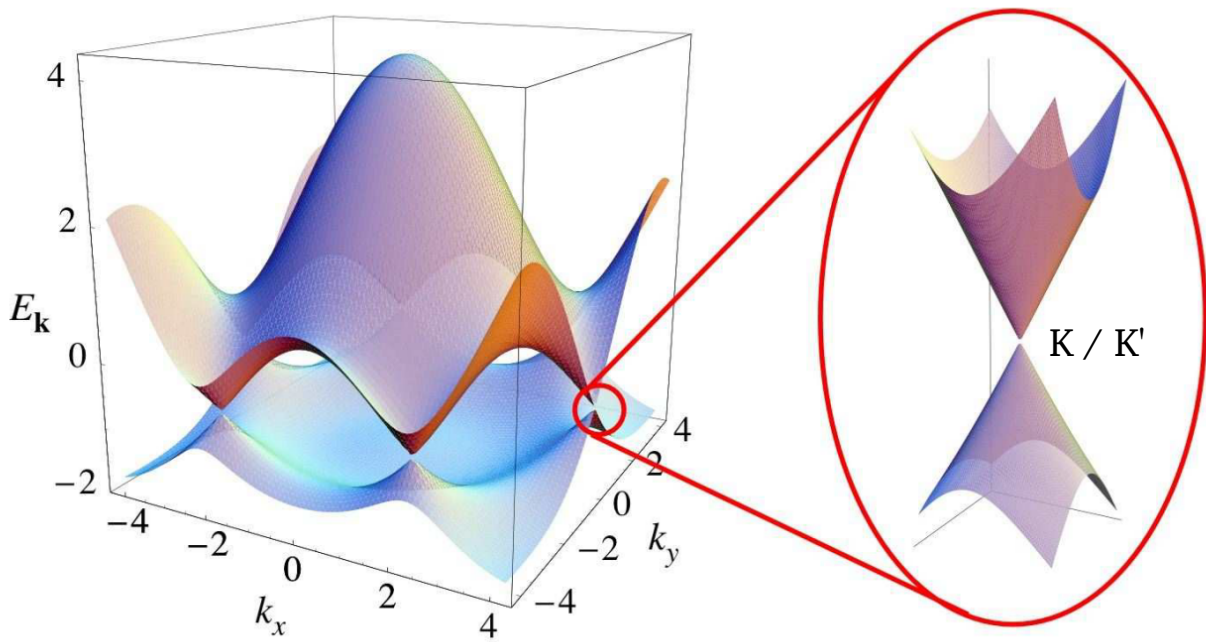


Abbildung 2.6: Bandstruktur von einlagigem Graphen. Valenzband und Leitungsband berühren sich an den K und K' Punkten [14].

Für den Hamilton-Operator der *Tight-Binding-Methode* wird angenommen, dass die Elektronen in Graphen zum nächsten und übernächsten Atom springen können [14]:

$$H = -t \sum_{\langle i,j \rangle, \sigma} \left(a_{\sigma,i}^\dagger b_{\sigma,j} + \text{H.c.} \right) - t' \sum_{\langle\langle i,j \rangle\rangle, \sigma} \left(a_{\sigma,i}^\dagger a_{\sigma,j} + b_{\sigma,i}^\dagger b_{\sigma,j} + \text{H.c.} \right) \quad (2.5)$$

Hierbei sind die Einheiten so gewählt, dass $\hbar = 1$ ist. H.c. bezeichnet das hermitesch konjugierte des Ausdrucks. Der Operator $a_{\sigma,i}$ ($a_{\sigma,i}^\dagger$) vernichtet (erzeugt) ein Elektron mit dem Spin σ ($\sigma = \uparrow, \downarrow$) am Ort \mathbf{R}_i in Subgitter A. Für Subgitter B wird eine äquivalente Formulierung verwendet. t ($\approx 2,8\text{eV}$) ist die Energie welche ein Elektron benötigt um zum nächsten Atom zu springen (Sprünge zwischen verschiedenen Subgittern). t' beschreibt die Energie, welche ein Elektron benötigt um zum übernächsten Atom zu springen (Sprünge innerhalb desselben Sub-

gitters). Die Energiebänder, welche aus diesem Hamilton-Operator abgeleitet werden haben die Form [11]:

$$E_{\pm}(\mathbf{k}) = \pm t \sqrt{3 + f(\mathbf{k})} - t' f(\mathbf{k})$$

$$f(\mathbf{k}) = 2 \cos(\sqrt{3} k_y a) + 4 \cos\left(\frac{\sqrt{3}}{2} k_y a\right) \cos\left(\frac{3}{2} k_x a\right) \quad (2.6)$$

wobei das Pluszeichen dem oberen Band (π) und das Minuszeichen dem unteren Band (π^*) zugeordnet ist. Aus der Formulierung von $f(\mathbf{k})$ geht hervor, dass das Spektrum um null Energie bei $t' = 0$ symmetrisch ist. Für endliche Werte von t' ist die Symmetrie gebrochen und das π und π^* Band sind asymmetrisch.

In Abbildung 2.6 ist die Bandstruktur von Graphen dargestellt, wobei zur Berechnung die Beiträge von t und t' berücksichtigt wurden. In derselben Abbildung ist eine Vergrößerung der Bandstruktur an einem der Dirac-Punkte (am K oder K' Punkt in der Brillouin-Zone) dargestellt [14]. Eine umfassende Diskussion der Berechnung der Bandstruktur von Graphen ist in [11] und [14] zu finden. Undotiertes einlagiges Graphen ist ein Halbmetall, da die Bandlücke E_G zwischen Valenz- und Leitungsband genau $E_G = 0\text{eV}$ beträgt. Auch wenn es eine Überschneidung der Zustände bei $E_D = E_F$ gibt (E_D Energie am Dirac-Punkt, E_F Fermi-Energie), ist die Zustandsdichte dort Null, wodurch das Material nur durch thermisch angeregte Elektronen bei endlicher Temperatur leitend ist [15]. Elektronen in der Nähe von E_F werden als Dirac-Fermionen bezeichnet und besitzen eine effektive Masse von $m^* = 0$ am Dirac-Punkt. Die besondere Bandstruktur von Graphen, aufgrund der Bandlücke von $E_G = 0\text{eV}$, führt zu ungewöhnlichen elektrischen Transporteigenschaften, wie zum Beispiel der sehr hohen Mobilität der Elektronen von $10^6\text{cm}^2(\text{Vs})^{-1}$ in idealem einlagigem Graphen [1]. Die Bandstruktur von Graphen ist empfindlich abhängig von der Gittersymmetrie [15]. Besteht das hexagonale Gitter aus ungleichen Elementen, wie zum Beispiel Bor bei Bor-Nitrid, wird die laterale Symmetrie innerhalb der Ebene zerstört und es entsteht eine Bandlücke zwischen den π und π^* Zuständen. Die Symmetrie in Bezug auf die z-Achse kann ebenfalls durch das Stapeln zweier Graphenlagen im sogenannten *Bernal stacking* zerstört werden.

Bandstruktur von zweilagigem Graphen

Zweilagiges (englisch **bilayer**) Graphen (BiLG) kann unterschiedlich gestapelt werden. Beim sogenannten *Bernal stacking* sind zwei Graphenlagen gegeneinander entlang der x-Achse um $a_{C-C} \approx 1.42 \text{ \AA}$ verschoben (siehe Abbildung 2.7). Dies ist auch die bevorzugte Stapelung von Graphenebenen innerhalb eines Graphitkristalls.

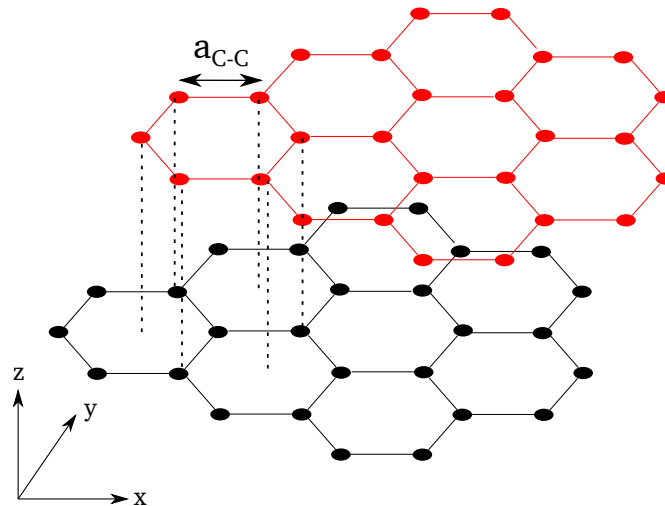


Abbildung 2.7: Schematische Darstellung des *Bernal stacking* von zweilagigem Graphen.

Da die Einheitszelle von BiLG vier Atome enthält, benötigt die Bandstruktur zwei zusätzliche Bänder, π und π^* Zustände spalten sich durch die Wechselwirkung zwischen den beiden Graphenschichten und es entstehen zwei zusätzliche Energiebänder niedriger Energie. Abbildung 2.8 zeigt die Bandstruktur (a) von einlagigem Graphen im Vergleich zu (b) zweilagigem Graphen.

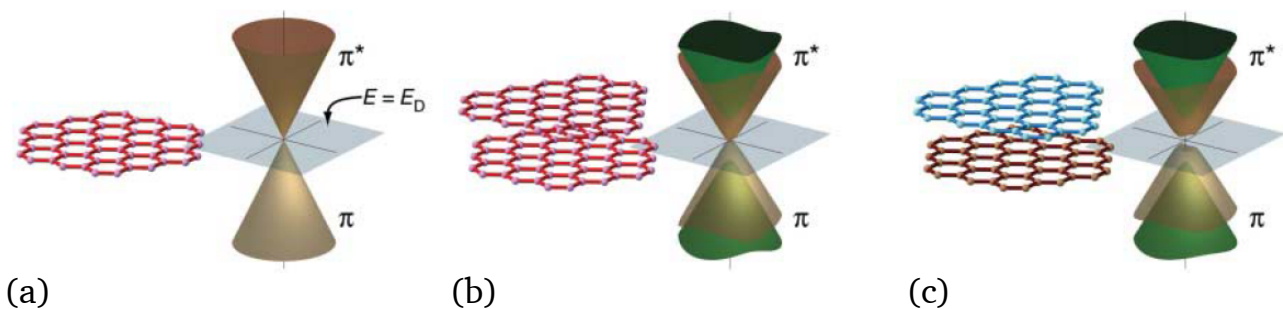


Abbildung 2.8: Bandstruktur von (a) einlagigem Graphen, (b) zweilagigem symmetrischen Graphen und (c) asymmetrischem zweilagigen Graphen [15].

Eine Möglichkeit zur Erzeugung einer Bandlücke in zweilagigem Graphen ist das Anlegen eines elektrischen Feldes senkrecht zur Probe (siehe Abbildung 2.9) mit einer elektrischen Feldstärke von $|\vec{E}| \approx 2 \text{ V nm}^{-1}$ [16]. IBM hat mit diesem Ansatz einen Graphentransistor mit einem Verhält-

nis zwischen dem Stromfluss im angeschalteten zum ausgeschalteten Zustand, dem sogenannten $I_{\text{ON}}/I_{\text{OFF}}$ -Verhältnis, von $I_{\text{ON}}/I_{\text{OFF}} \approx 100$ bei Raumtemperatur hergestellt [16]. Dabei war das zweilagige Graphen exakt nach dem *Bernal stacking* gestapelt. Die Bandlücke (E_G , englisch *band gap*) beträgt in diesem Fall $E_G \geq 130\text{meV}$. Allerdings ist die Größe der Bandlücke von der Stärke des elektrischen Feldes abhängig und besteht somit nur wenn ein elektrisches Feld senkrecht zum zweilagigem Graphen angelegt ist.

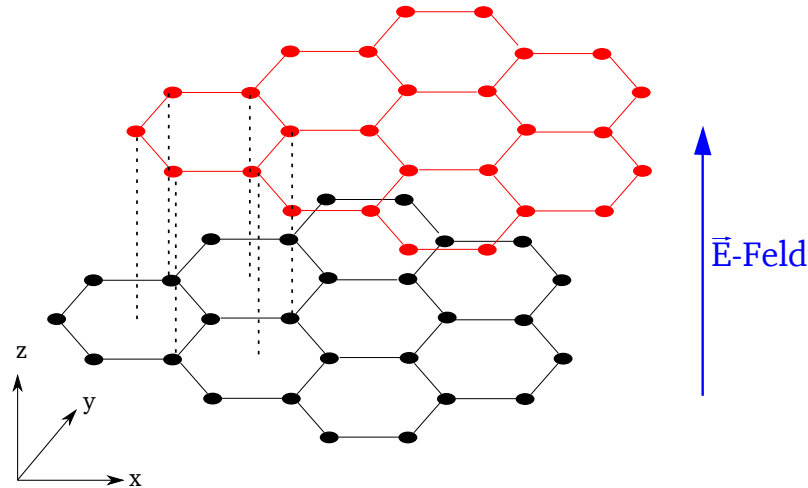


Abbildung 2.9: Zweilagiges Graphen mit angelegtem elektrischem Feld zur Erzeugung einer Bandlücke.

Das Erzeugen einer Bandlücke in zweilagigem Graphen ist auch möglich, wenn die beiden Graphenschichten nicht exakt nach dem *Bernal stacking* gestapelt sind. Wird die Symmetrie der Graphenschichten durch Dipole an der Substratoberfläche oder durch andere Wechselwirkungen mit dem Substrat gestört, entsteht eine Bandlücke zwischen den Bändern niedriger Energie am früheren Dirac-Punkt (siehe Abbildung 2.8(c)). Diese Bandlücke ist unabhängig von einem externen elektrischen Feld. Somit kann aus dem Halbmetall Graphen ein echter Halbleiter erzeugt werden. Dies ermöglicht nun die Herstellung von Graphen-Feld-Effekt-Transistoren, welche durch eine Gate-Elektrode an und aus geschaltet werden können. Ist die elektrische Feldstärke am Gate deutlich kleiner als $|\vec{E}| \approx 2\text{V nm}^{-1}$, so ist der Einfluss des elektrischen Feldes auf die Bandlücke des zweilagigen Graphens zu vernachlässigen.

Zur Herstellung von einlagigem und mehrlagigem Graphen wurden unterschiedliche Methoden entwickelt, welche im folgenden Abschnitt vorgestellt werden.

2.1.4 Herstellungsverfahren für Graphen

Erste Graphenproben wurden 2004 von Geim und Novoselov mit einer Technik hergestellt, welche *exfoliation* genannt wird [17]. Dabei werden einlagige bis mehrlagige Graphenproben von einem Graphitkristall abgestreift und auf ein Substrat aufgebracht. Hierbei kann weder die Anzahl der Graphenschichten noch die Größe der entstandenen Probe exakt definiert werden. Hinzu kommt, dass sich während des Transfers vom Graphit zum Substrat Moleküle wie Sauerstoff (O_2) oder Wasser (H_2O) auf der Oberfläche des Graphens anlagern können [18].

Eine bessere Möglichkeit ist die CVD (chemische Gasphasenabscheidung) unterstützte Herstellung von Graphenschichten auf metallischen Substraten wie Nickel oder Kupfer [19]. Auch die großflächige Produktion von Graphen beispielsweise für die Herstellung von flexiblen transparenten Elektroden ist mittels CVD möglich [20]. Allerdings ist es bei all diesen Herstellungsverfahren nötig, das Graphen nach dem Wachstum auf ein für die Weiterverarbeitung geeignetes Substrat zu transferieren.

Um den Transfer von Graphen zu vermeiden entwickelten de Heer und Berger [21] das epitaktische Wachstum von Graphen auf Siliziumcarbid (SiC). Dadurch können große Graphenproben transferfrei auf SiC-Substraten hergestellt werden. Im Vergleich zur herkömmlichen Siliziumtechnologie ist diese Methode aufgrund des verwendeten SiC-Substrates noch deutlich teurer. Zusätzlich benötigt dieser Wachstumsprozess vergleichsweise hohe Prozess-Temperaturen von 1400°C und ist daher nicht mit der herkömmlichen Silizium CMOS Technologie kompatibel. Eine Alternative stellt das Wachstum von Graphen direkt auf einem Dielektrikum dar. Su et al. [22] haben ein Verfahren zum Wachstum von Graphen auf isolierenden Substraten mit Hilfe einer Kupferschicht auf der gesamten Substrat-Oberfläche entwickelt. Allerdings ist auch Kupfer nicht mit der Si-CMOS Technologie im *front-end* des Herstellungsprozesses kompatibel. Kupfer als schnell diffundierendes Element im Silizium verringert dramatisch die Minoritätsladungsträgerlebensdauer. Ismach et al. [23] verwenden Kupfer auf einem isolierenden Quarzsubstrat um Graphen auf einer dielektrischen Oberfläche wachsen zu lassen, allerdings wiederum großflächig mit Kupfer, welches die zuvor beschriebenen Probleme mit sich bringt. Miyasaka et al. [24] verwenden nichtpolares a-Saphir Substrat ohne metallischen Katalysator in einem CVD-Prozess auf Alkoholbasis um dünne Graphitfilme herzustellen. Rummeli et al. [25] stellen Graphenfragmente auf Magnesiumoxid in einem CVD-Prozess bei 325°C bis 875°C her, wobei die Varianz der Temperatur die Anzahl der gestapelten Graphenschichten bestimmt. Lippert et al. [26] verwenden *Glimmer*-Substrate (Nanokristalle mit sehr glatter Oberfläche) zur Herstellung von Graphen mit Molekularstrahlepitaxie bei 600°C .

Für die Herstellung von Graphentransistoren für Anwendungen in der Nanoelektronik ist nach

dem derzeitigen Verständnis das Wachstum von Graphen auf einem Dielektrikum notwendig. Die oben genannten Forschergruppen haben die Herstellung von Graphen mittels verschiedener Techniken auch direkt auf einem Dielektrikum gezeigt. Allerdings ist keine dieser Gruppen in der Lage, Graphen direkt auf Siliziumdioxid in einem Silizium CMOS kompatiblen Wachstumsprozess herzustellen. Einige der verwendeten Materialien sind wie zuvor beschrieben sehr teuer oder inkompatibel mit der CMOS Prozesstechnologie.

Die in dieser Arbeit vorgestellte Herstellungsmethode für Graphentransistoren ist einzigartig. Wie in Kapitel 3 detailliert beschrieben wird, ist der gesamte Herstellungsprozess kompatibel mit heute bekannter Silizium CMOS Technologie. Die Graphenstrukturen wachsen mit Hilfe eines Nickel/Aluminium Katalysators direkt auf Siliziumdioxid bei einer CVD-Prozesstemperatur von 900 °C. Ein weiterer wichtiger Teil der Funktionsweise stellt der Metall-Graphen-Kontakt aus Katalysatormaterial dar, welcher im Folgenden diskutiert wird.

2.2 Metall/Halbleiter-Kontakt (Schottky-Kontakt)

Einlagiges Graphen wird als Halbmetall bezeichnet, da die Bandlücke E_G zwischen Valenz- und Leitungsband genau $E_G = 0\text{eV}$ beträgt. Dadurch ist ein Metall/Graphen-Kontakt bei Raumtemperatur analog zu einem Metall/Metall-Kontakt beziehungsweise ohmschen Kontakt zu verstehen. Betrachtet man allerdings zweilagiges Graphen in Kontakt mit einem Metall, so entsteht ein Metall/Halbleiter-Kontakt beziehungsweise Schottky-Kontakt, für den Fall, dass das zweilagige Graphen durch ein angelegtes elektrisches Feld oder durch Wechselwirkung mit dem Substrat eine Bandlücke aufweist. Im Folgenden wird exemplarisch der Metall/Halbleiter-Kontakt als Grundlage für das Verständnis des Metall/BiLG-Kontakts diskutiert. Die Betrachtung des Metall/BiLG-Kontakts folgt in Kapitel 4.2.1.

Der prinzipielle Effekt beim Zusammenführen eines n-Typ Halbleiters mit einem Metall ist in Abbildung 4.3 dargestellt. Wird ein Halbleiter, beispielsweise Silizium mit der Austrittsarbeit ϕ_{Si} , mit einem Metall dessen Austrittsarbeit ϕ_{M} größer ist als ϕ_{Si} in Kontakt gebracht, so entsteht eine Schottky-Barriere ϕ_{B} sowohl für Elektronen als auch für Löcher. Durch Anlegen einer positiven Spannung an der Metallseite verringert sich das innere Potential ϕ_{SF} und Elektronen aus dem Leitungsband können sich vom Halbleiter zum Metall bewegen, es liegt Flusspolung vor. In Sperrpolung wird an die Metallseite eine negative Spannung angelegt. Infolgedessen wächst aufgrund der Bandverbiegung ϕ_{SF} und der Elektronentransport wird eingeschränkt. Die Barrierrhöhe für Elektronen $\phi_{\text{B,n}}$ und Löcher $\phi_{\text{B,p}}$ ist abhängig von der verwendeten Metall-Halbleiter Kombination, beziehungsweise der Austrittsarbeitsdifferenz zwischen Metall und Halbleiter.

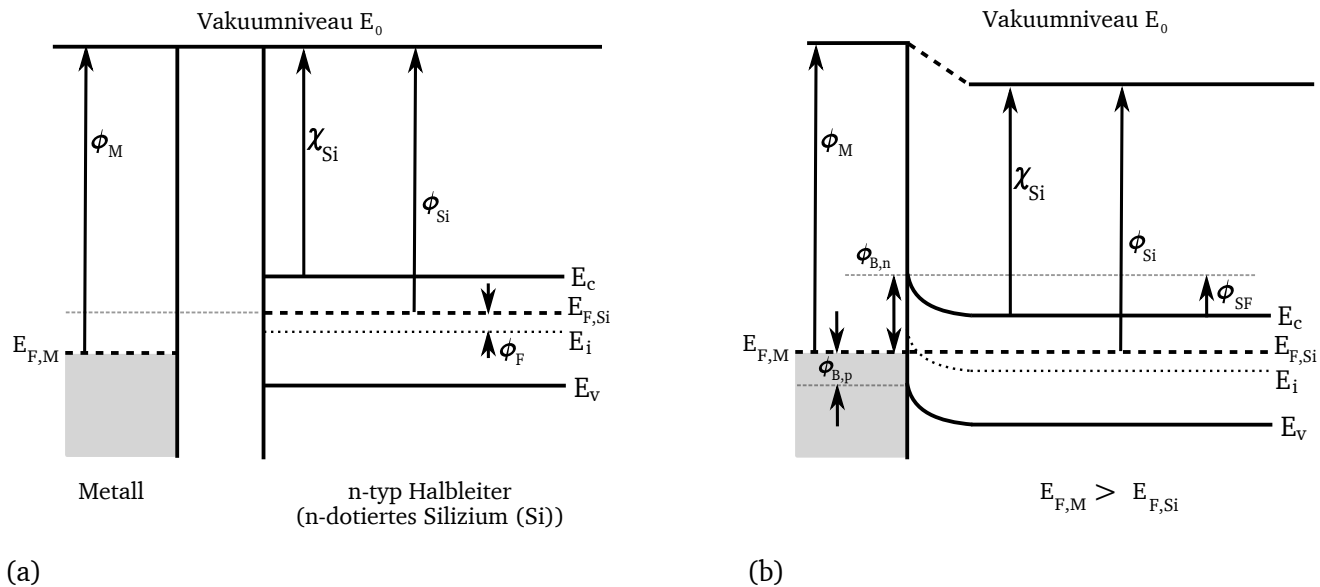


Abbildung 2.10: Bänderdiagramm eines Schottky-Kontaktes vor (a) und nach (b) Zusammenführung eines Metalls mit einem n-Typ Halbleiter.

Er gibt drei Möglichkeiten des Ladungsträgertransports am Metall/Halbleiter-Kontakt [3, 27]:

1. Feldemission (FE), beziehungsweise Tunneln,
2. Thermionische Feldemission (TFE) thermisch angeregter Ladungsträger und
3. Thermische Emission (TE) über die Barriere.

Bei einer ausreichend schmalen Barriere ist ein Ladungsträgertransport am Metall/Halbleiter-Kontakt durch Feldemission beziehungsweise Tunnelprozesse durch die Barriere möglich. Im Falle der thermionischen Feldemission gelangen die Ladungsträger zunächst durch thermische Anregung zu einem Energieniveau mit hinreichend schmaler Barriere, sodass Tunneln wahrscheinlicher wird. Anschließend durchdringen die Ladungsträger mit einer gewissen Wahrscheinlichkeit die Barriere mittels Feldemission. Bei reiner thermischer Emission hingegen erhalten die Ladungsträger so viel thermische Energie, dass ein Überwinden der Barriere ohne zusätzliche Tunnelprozesse möglich wird.

In Flusspolung überwiegt durch die gezielte Verringerung der inneren Potentialbarriere die thermische Emission, während in Sperrpolung zunächst keine Ladungsträger die Barriere überwinden können. Sobald die Sperrspannung groß genug wird, tritt thermionische Feldemission und Feldemission auf [27].

Die Herstellung eines idealen Schottky-Kontakts, wie er in Abbildung 2.10 skizziert ist, gestaltet sich technologisch weniger einfach, als lediglich ein Metall und einen Halbleiter in direkten Kontakt zu bringen. Durch Metall induzierte Grenzflächenzustände (MIGS) entstehen Schottky-

Barrieren, welche andere als die theoretisch erwarteten Austrittsarbeitsdifferenzen aufweisen. MIGS sind beispielsweise auf vorhandene Reste natürlichen Oxids oder Prozessrückständen vorhergegangener Prozessschritte zurückzuführen und halten das Fermipotential an der Oberfläche fest [27]. Dadurch verringern sie den Einfluss der Austrittsarbeit des verwendeten Metalls auf die Schottky-Barriere beträchtlich. Dieser Effekt wird als *fermilevel pinning* (FLP) [28] bezeichnet. Infolgedessen entsteht eine Schottky-Barriere ϕ_B deren Höhe sogar im Wesentlichen durch FLP beeinflusst werden kann [27]. Dies kann beispielsweise auch an einem Polysilizium/Metall-Gate Stack zu einer Veränderung der Schwellspannung von MOSFETs führen [29].

2.3 Silizium MOS Feldeffekttransistor

In diesem Abschnitt wird der Silizium MOS Feldeffekttransistor vorgestellt, um die Funktionsweise und eventuelle Unterschiede der hergestellten Graphentransistoren im späteren Verlauf der Arbeit zu diskutieren und besser mit der Performanz eines MOSFETs vergleichen zu können.

Der Metall-Oxid-Halbleiter-Feldeffekttransistor (MOSFET) ist heutzutage das hauptsächlich verwendete Bauelement in elektronischen Schaltungen. Aktuelle Schaltungen der Digitaltechnik und der Analogtechnik bestehen teilweise oder vollständig aus komplementärer MOS-Technologie (CMOS). Die Prognose von Gordon Moore's bezüglich der Steigerung der Leistungsfähigkeit und Komplexität von integrierten CMOS Schaltungen ist bis heute erfüllt. Hierbei wurden die Transistoren in jeder Technologiegeneration immer kleiner, die geometrischen Abmessungen wurden lateral und vertikal skaliert. Diese Skalierung ist nur bis zur physikalischen Grenze der Schichtdicken, respektive der minimal möglichen Kanallänge durchführbar. Um die CMOS Technologie weiter nutzen zu können, wurden bisher die Bauelementkonzepte modifiziert und mit der Skalierung fortgeföhren. Dennoch ist seit einiger Zeit auf Kohlenstoff basierende Elektronik als möglicher Nachfolger im Gespräch. In der Forschung konzentriert man sich im Wesentlichen auf Kohlenstoffnanoröhren-FETs (CNTFETs) und Graphen-FETs (GEFTs). Die Mobilität von Elektronen beispielsweise in Graphen ist, mit bis zu $10^6 \text{cm}^2(\text{Vs})^{-1}$, im Vergleich zur Elektronenmobilität im Silizium von $1400 \text{cm}^2(\text{Vs})^{-1}$ deutlich größer. Unter Verwendung von Graphen als Kanalmaterial ist die Herstellung eines Transistors mit gleichen elektrischen Eigenschaften wie ein Si-MOSFET allerdings mit größerer Kanallänge und höherem Strom im angeschalteten Zustand möglich. Ausgehend von diesem Referenzgraphen-FET kann die Skalierung des Transistors weiter fortgeführt werden um leistungsfähigere Transistoren herzustellen. Die in dieser Arbeit entwickelte Methode Graphen-FETs, in einem CMOS kompatiblen Wachstumsprozess herzustellen, ermöglicht den Einsatz von Kohlenstoff in einer Siliziumhybridtechnik.

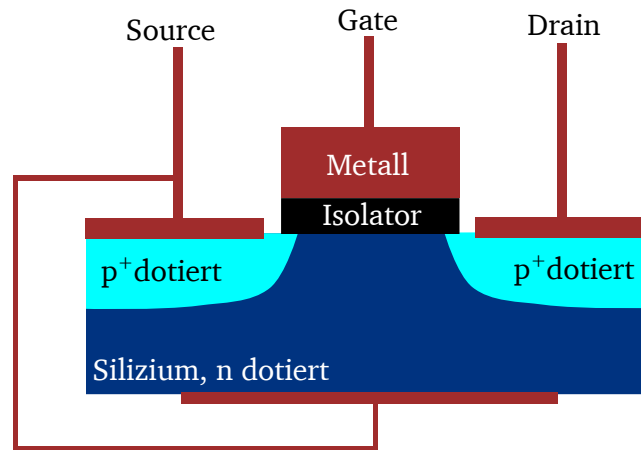


Abbildung 2.11: Schematische Darstellung eines p-Kanal MOSFET im Querschnitt.

Zum Vergleich von Graphen-FETs mit MOSFETs wird die Funktionsweise eines MOSFETs bei Raumtemperatur diskutiert. Abbildung 2.11 zeigt eine schematische Querschnitts-Darstellung eines p-Typ MOSFET. Für diesen p-MOSFET wird ein n-dotiertes Substrat, also ein mit Phosphor dotierter Silizium-Wafer verwendet. Die p-dotierten Source- und Drain-Gebiete werden durch Gegendotierung mit einem Elektronen-Akzeptor, zumeist Bor, erzeugt. Die Gate-Elektrode bildet mit der Isolatorschicht (beispielsweise SiO_2) und dem Substrat einen Kondensator. Wird eine gegenüber dem Substrat negative Spannung an die Gate-Elektrode angelegt, so werden direkt unter dem Isolator durch das elektrische Feld Elektronen verdrängt. Gleichzeitig werden aber Löcher angezogen. Wird die Gate-Spannung bis zur Einsatzspannung V_T erhöht, liegt an der Grenzfläche ein Löcherüberschuss vor, und es bildet sich ein Inversionskanal zwischen der Source- und Drain-Elektrode. Der MOSFET ist jetzt angeschaltet. Der entstandene Inversionsladungsträgerkanal bildet zwischen Source und Drain eine leitende Verbindung. Wird eine Spannung zwischen Drain und Source angelegt, können Ladungsträger durch den Kanal fließen - der MOSFET leitet Strom. Bei Anlegen einer positiven Spannung an die Gate-Elektrode verhält sich der Kanalbereich genau umgekehrt, Majoritätsladungsträger des n-Substrats wandern an die Grenzfläche zwischen Isolator und Substrat. Minoritätsladungsträger wandern durch die Wirkung des elektrischen Feldes zusätzlich von der Grenzfläche ab, der MOSFET ist nun ausgeschaltet. Es können keine Ladungsträger mehr durch das Kanalgebiet von Drain nach Source gelangen. Allerdings tritt ein Leckstrom an der Diode zwischen Drain und dem Substrat auf. Da das Substrat und Source auf dem gleichen Potential liegen, fließt der Leckstrom von Drain in das Substrat nach Source.

Das Verhältnis zwischen dem Stromfluss im angeschalteten und im ausgeschalteten Zustand eines Referenz p-MOSFET der am IHTN hergestellt wurde kann bis zu $I_{\text{ON}}/I_{\text{OFF}} = 10^9$ bei Raumtemperatur betragen. Abbildung 2.12 zeigt beispielhaft die Temperaturabhängigkeit der Unterswellenkennlinie eines solchen Referenz p-MOSFETs. Das Verhältnis von Kanallänge L zu Kanalbreite B beträgt $\frac{B}{L} = 10$. I_{ON} sinkt bei steigender Temperatur, was auf eine Verringerung der

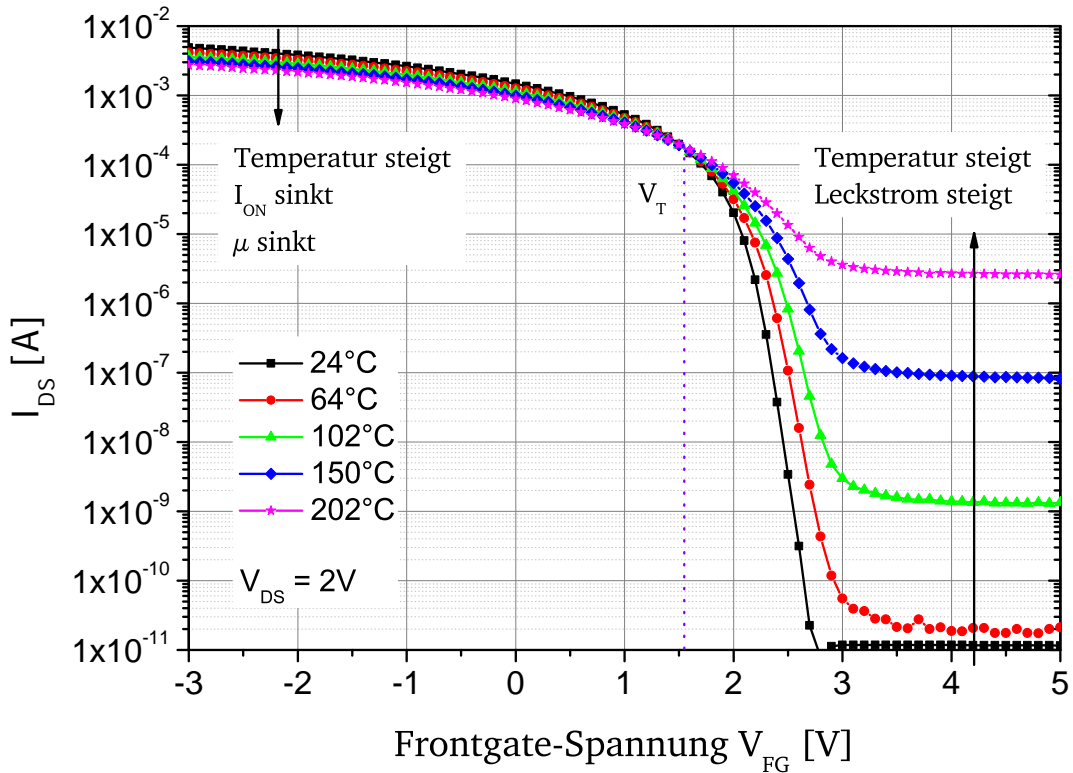


Abbildung 2.12: Temperaturabhängigkeit der Unterschwellenkennlinie eines p-MOSFETs, welcher am IHTN hergestellt wurde.

Ladungsträgerbeweglichkeit zurückzuführen ist. Dies kann aus der geringer werdenden Unterschwellensteigung $g_m = \left. \frac{\partial I_{DS}}{\partial V_{FG}} \right|_{V_{DS}}$ bei steigender Temperatur abgeleitet werden, da die Ladungsträgerbeweglichkeit μ linear von g_m abhängig ist:

$$\mu = \frac{g_m \cdot L}{B \cdot C_{SiO_2} \cdot V_{DS}}$$

mit Kanallänge L , Kanalbreite B und der Kapazität C_{SiO_2} des SiO_2 .

I_{OFF} steigt mit steigender Temperatur deutlich an. Ursache hierfür sind thermisch generierte Ladungsträger, wodurch der Leckstrom in das Substrat steigt. Bei steigender Temperatur führt die Kombination von einem abnehmenden I_{ON} und einem zunehmenden I_{OFF} dazu, dass das I_{ON}/I_{OFF} -Verhältnis mit steigender Temperatur sinkt und bei einer Temperatur von etwa 200°C nur noch $I_{ON}/I_{OFF} = 10^3$ beträgt. Der steigende Sperrstrom der Dioden an Source- und Drain bedingt, dass an- und ausgeschalteter Zustand nicht mehr eindeutig unterschieden werden können, der Transistor wird funktionsunfähig.

2.4 Technologie der Fertigungsverfahren

In diesem Abschnitt sollen die Grundzüge der zur Herstellung von Graphentransistoren verwendeten Siliziumplanartechnik - Lithographie, Lift-Off Technik, Metallisierung sowie katalytisch chemische Gasphasenabscheidung (CCVD) - vorgestellt werden.

2.4.1 Lithographie

Zur Strukturierung von Schichten wird in der Si-CMOS-Technologie die Photolithographie eingesetzt. Schicht um Schicht wird mittels Lithographie und anschließender Ätztechniken strukturiert. In dieser Arbeit wird für die Strukturierung von Schichten im Anschluss an die Lithographie die Lift-Off Technik verwendet, welche in Kapitel 2.4.3 vorgestellt wird. In Vorbereitung muss eine Strukturierung an Polymethylmethacrylat (PMMA) vorgenommen werden, welche beispielhaft im Folgenden betrachtet wird. Als Schutzschicht dient sogenannter Photolack.

Der sorgfältig gereinigte, Partikel freie Wafer wird vor dem Lackauftrag bei etwa 200 °C in Stickstoffatmosphäre ausgeheizt, um Restfeuchte von der Oberfläche zu entfernen, welche die Lackhaftung beeinträchtigen könnte. Anschließend wird ein Haftvermittler durch Aufdampfen in einem Exsikkator aufgebracht, beispielsweise Hexamethyldisilazan ($C_6H_{19}NSi_2$, HMDS) oder Diphenylsilandiol ($C_{12}H_{12}O_2Si$). Dieser verbessert die Haftung des aufzubringenden PMMA auf der Wafer-Oberfläche [30].

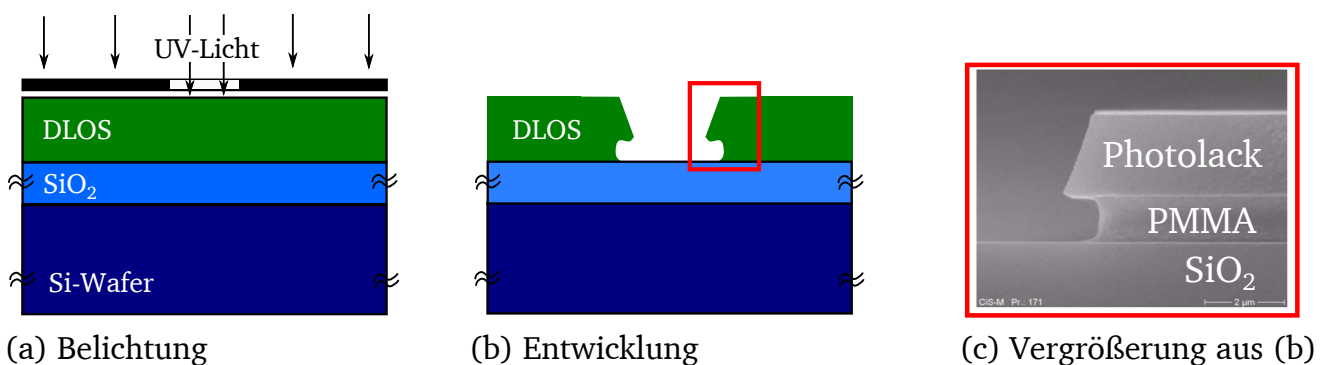


Abbildung 2.13: Schematische Darstellung des Belichtungsprozesses: (a) Belichtung des Lacks mit Photomaske, (b) Entwickeln der belichteten Bereiche. (c) REM-Aufnahme des Querschnitts, welcher für die Lift-Off Technik benötigt wird [31].

Die PMMA-Schicht wird durch Schleuderbeschichtung auf den Wafer aufgebracht. Die benötigte Schichtdicke des PMMA wird, in Abhängigkeit von der Viskosität des PMMA, durch Wahl der Schleuderdrehzahl, typischerweise $2000\text{min}^{-1} < U_{\text{Schleuder}} < 6000\text{min}^{-1}$, erzielt [31]. Das PMMA wird nach der Beschichtung auf einer Heizplatte ausgeheizt, um verbliebenes Lösungsmittel auszudampfen. Im Anschluss wird der Photolack ebenfalls durch Schleuderbeschichtung aufgebracht und auf einer Heizplatte ausgeheizt. Das PMMA und der Photolack bilden gemeinsam das doppellagige Lift-Off System (DLOS). Unter Verwendung einer Maske im Schattenwurf- oder Projektionsverfahren [32] wird der Photolack mit UV-Licht bestrahlt. Um Fehler bei der Strukturübertragung zu vermeiden, muss der Photolack hierbei vollständig durchbelichtet werden. Die verwendete Belichtungszeit berechnet sich aus der benötigten Strahlungsdosis (in $\text{mW} \cdot \text{cm}^{-2}$) sowie der Intensität der UV-Lichtquelle. Im Anschluss an die Belichtung folgt die Entwicklung. Hierbei wird grundsätzlich zwischen Positiv- und Negativlacktechnik unterschieden. Bei der Positivlacktechnik werden die belichteten Bereiche im Entwicklungsschritt entfernt, während bei der Negativlacktechnik die unbelichteten Bereiche während des Entwickelns entfernt werden [33]. Nach dem Entwicklungsschritt bleibt ein Abbild der Maske im Photolack zurück. Hierbei ist die Maßhaltigkeit der Strukturübertragung von der Maske auf die Wafer-Oberfläche abhängig von der verwendeten Kombination aus Belichtungszeit und der Entwicklungszeit. Der Belichtungsprozess ist schematisch in Abb. 2.13 dargestellt.

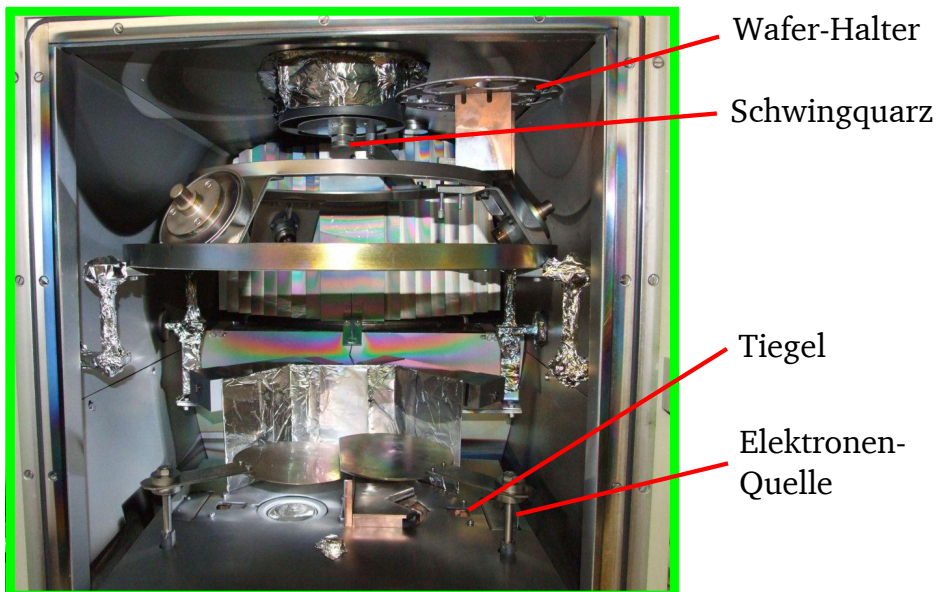
2.4.2 Metallisierung

Für die Herstellung von Graphentransistoren folgt im Anschluss an die Lithographie die Metallisierung zur Herstellung des Katalysatorsystems. Diese wird hier vorgestellt. Üblicherweise wird die Metallisierung des Wafers zur Herstellung von Leiterbahnen und Kontakten genutzt und kann mit verschiedenen Verfahren, beispielsweise Aufdampfverfahren, Kathodenzerstäubungsverfahren und chemische Gasphasenabscheidungsverfahren, erfolgen [32].

Das für die Herstellung von Graphentransistoren verwendete Metallisierungsverfahren zum Aufbringen des Katalysatorsystems ist die Elektronenstrahlverdampfung. Die am IHTN verwendete Anlage zur Elektronenstrahlverdampfung 'Balzers BPU 100' ist in Abbildung 2.14(a) dargestellt, Abbildung 2.14(b) zeigt die Reaktorkammer. Bei der Elektronenstrahlverdampfung wird ein Tiegel, in dem sich das zu verdampfende Metall befindet, mit Elektronen beschossen. Andauernder Beschuss mit Elektronen heizt das Metall bis zum Verdampfen auf [32]. Der entstandene Teilchennebel schlägt sich auf der Wafer-Oberfläche nieder, wobei sich der Wafer im Wafer-Halter oberhalb des Tiegels befindet (Abbildung 2.14(b)). Da das Metall bei der Elektronenstrahlverdampfung gerichtet auf die Wafer-Oberfläche trifft, eignet sich die Elektronenstrahlverdamp-



(a) Elektronenstrahlverdampfungsanlage am IHTN



(b) Reaktorkammer

Abbildung 2.14: Elektronenstrahlverdampfungsanlage am IHTN.

fung in Kombination mit der Lift-Off Technik (wird im folgenden Abschnitt vorgestellt) zur Strukturierung des Katalysators.

Zur Bestimmung der aufgedampften Schichtdicke befindet sich in der Elektronenstrahlverdampfungsanlage ein Schwingquarz. Zu Beginn der Elektronenstrahlverdampfung beträgt die Masse des Schwingquarzes $m_{Q,0}$ und dieser schwingt mit einer Frequenz $f_{Q,0}$. Während der Metallisierung der Wafer-Oberfläche schlägt sich der Teilchennebel auch auf dem Schwingquarz nieder, wodurch dessen Masse steigt. Infolgedessen ändert sich auch die Frequenz des Schwingquarzes. Die Veränderung der Frequenz f_Q in Abhängigkeit der Masse m_Q des Schwingquarzes kann in folgende Beziehung gebracht werden:

$$\frac{\Delta f_Q}{f_{Q,0}} = \frac{\Delta m_Q}{m_{Q,0}} \quad (2.7)$$

Für die Elektronenstrahlverdampfung wird empirisch für jedes aufzudampfende Material ein Proportionalitätsfaktor bestimmt. Dieser Proportionalitätsfaktor beinhaltet die Beziehung zwischen der Massenänderung des Schwingquarzes, dessen Abstand zum Tiegel sowie den Abstand der zu bedampfenden Probe vom Tiegel und wird am Steuergerät des Bedampfungssystems eingestellt [3, 34]. Das Aufbringen eines Metalls mittels Elektronenstrahlverdampfung ist nur ganzflächig möglich. Abbildung 2.15 zeigt die schematische Darstellung der mit einer Metallschicht bedeckten Wafer-Oberfläche. Zur Strukturierung des Katalysators wird im Laufe dieser Arbeit die Lift-Off Technik verwendet, welche im folgenden Abschnitt vorgestellt wird.

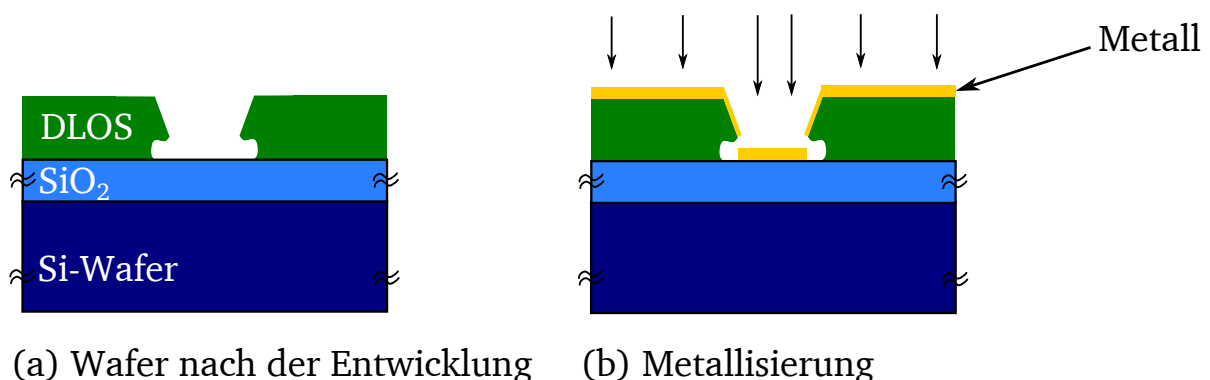


Abbildung 2.15: Schematische Darstellung der Metallisierung einer Wafer-Oberfläche. (a) Wafer-Oberfläche mittels Lithographie vorbereitet. (b) Großflächige Metallisierung der Wafer-Oberfläche mittels Elektronenstrahlbedampfung.

2.4.3 Lift-Off Technik

Um die Strukturierung des Katalysators abzuschließen wird jegliches sich auf dem doppellagigen Lift-Off System befindliche Metall entfernt. Dazu wird der Wafer in das Lösungsmittel (Remover) AR 300-72 zur Entfernung von Lackschichten eingetaucht. Zur Verstärkung der Lösekraft ist dieser auf etwa 70 °C erwärmt [35]. Eine schematische Darstellung des Lift-Off Prozesses ist in Abbildung 2.16 zu sehen. Während sich der Wafer im Remover-Bad (Abbildung 2.16(b)) befindet, wird das doppellagige Lift-Off System (DLOS) aufgelöst. Dadurch wird das überschüssige Metall von der Oberfläche abgehoben. Auf der Wafer-Oberfläche bleiben im Idealfall nur die vom Photolack unbedeckten metallisierten Bereiche zurück. Bei einer Remover-Temperatur von 70 °C ist dieser Prozess nach etwa 10 Minuten abgeschlossen. Allerdings ist es möglich, dass sich Metallpartikel nach erfolgreichem Abheben des Photolacks wieder auf der Oberfläche ablagern. Um dies zu vermeiden, wird der Wafer nach diesem ersten, durch Metallpartikel verunreinigte Bad, für weitere 10 Minuten in ein zweites sauberes Remover-Bad getaucht. Ein Abspülen des Removers mit deionisiertem Wasser, frischem Remover oder mit einem geeigneten Verdünner wird, wenn es die Technologie zulässt, empfohlen [35]. Daher wird im Anschluss eine Tauchreinigung in Isopropanol vorgenommen, bevor der Wafer abschließend in einer Wasserkaskade abgespült wird.

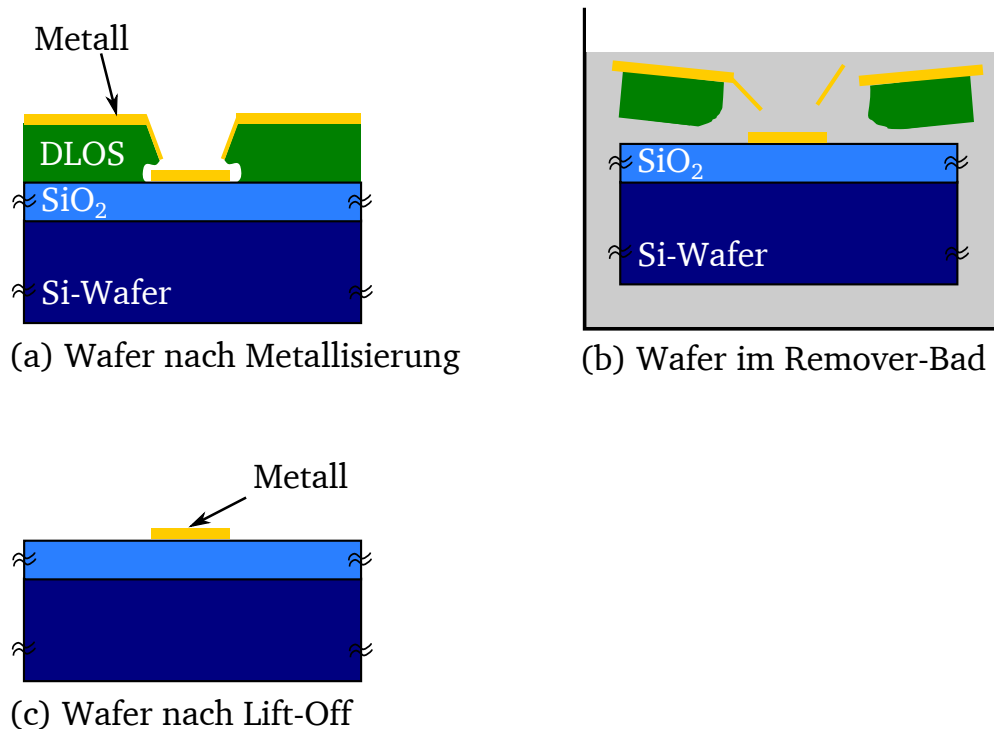
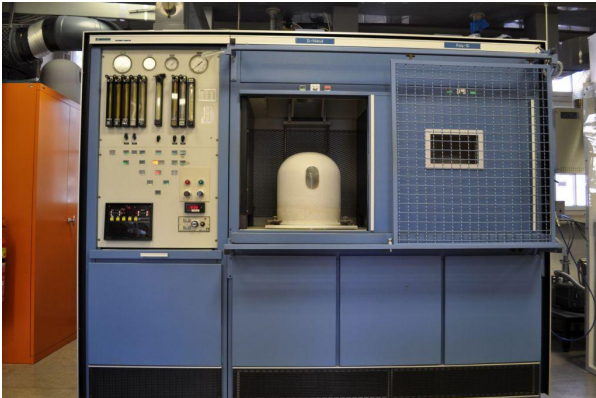


Abbildung 2.16: Schematische Darstellung eines Lift-Off Prozesses.

2.4.4 Katalytisch chemische Gasphasenabscheidung (CCVD)

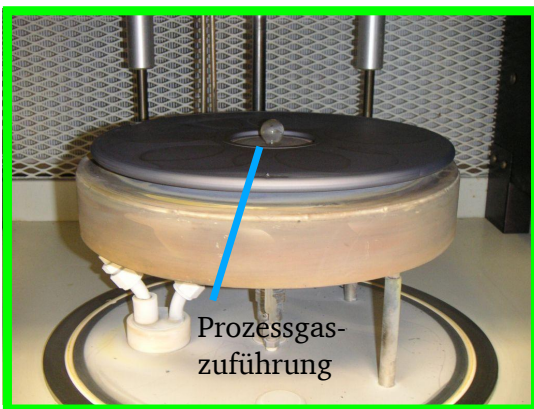
Im Prozess zur Herstellung von Graphentransistoren folgt, nach der Strukturierung des Katalysatorsystems mittels Lift-Off, das Wachstum von Graphen durch katalytisch chemische Gasphasenabscheidung. Dieser Prozess wird hier dargestellt.



(a) CVD-Anlage am IHTN



(b) CVD-Reaktorkammer



(c) Beheizbarer SiC-Teller



(d) CVD-Reaktorkammer im Betrieb

Abbildung 2.17: CVD-Anlage am IHTN.

Im Jahr 1966 wurde der Begriff der chemischen Gasphasenabscheidung (*chemical vapour deposition* (CVD)) von John M. Blocher, Jr. geprägt [36] um diese von der physikalischen Gasphasenabscheidung abzugrenzen. Während der chemischen Gasphasenabscheidung (CVD) wird auf der erhitzten Oberfläche eines Substrates aufgrund einer chemischen Reaktion aus der Gasphase eine Feststoffkomponente abgeschieden. Bei der chemischen Gasphasenabscheidung gibt es mindestens eine Reaktion an der Oberfläche des Substrates. An der Reaktion muss mindestens ein gasförmiger Ausgangsstoff und mindestens ein Festkörper beteiligt sein [37]. Um eine möglichst konforme Schichtabscheidung zu erreichen wird der Druck auf etwa 10 bis 100 Pascal

verringert. Diese Form der CVD wird als Niederdruck CVD (*low pressure* (LPCVD)) bezeichnet. Aufgrund des geringeren Drucks gibt es weniger häufig Zusammenstöße der Gasteilchen, die mittlere freie Weglänge steigt. Somit können die Gasteilchen auch in tieferliegende Bereiche der Oberfläche vordringen, wodurch die Wafer-Oberfläche von den Gasteilchen gleichmäßig bedeckt werden kann. Im Gegensatz zu physikalischen Verfahren ist eine konforme Schichtabscheidung mittels CVD nach korrekter Wahl der Prozessparameter möglich und ermöglicht auch die Beschichtung von komplexen und fein strukturierten Oberflächen. Die Abscheidung erfolgt hierbei ganzflächig und ist nicht selektiv zur Oberfläche.

In Erweiterung der CVD wird bei der katalytisch chemischen Gasphasenabscheidung (*catalytic chemical vapour deposition* (CCVD)) die gewünschte Reaktion durch einen Katalysator unterstützt, welcher als Festkörper auf der Oberfläche des Substrates vorliegt. Die Abscheidung mittels CCVD ist aufgrund des Katalysators bei geringeren Temperaturen und höherer Reaktionsrate als bei der CVD möglich. Das abgeschiedene Material entsteht durch chemische Reaktion des Prozessgases mit dem Katalysator. Dadurch befindet sich das abgeschiedene Material auf dem Katalysator und in dessen unmittelbarer Umgebung. Im Falle des CCVD basierten Wachstums von CNTs und Graphen wachsen diese auf dem Katalysator und vom Katalysator ausgehend auf der Oberfläche des umgebenden Materials (SiO_2).

Die am IHTN verwendete Anlage 'Applied Materials AVM 1200' zur chemischen Gasphasenabscheidung bei Atmosphärendruck (*atmospheric pressure* (APCVD)) ist in Abbildung 2.17(a) dargestellt. Abbildung 2.17(b) zeigt die CVD-Reaktorkammer. In der Reaktorkammer befindet sich ein durch Induktion beheizbarer SiC-Teller mit einer Zuführung der Prozessgase in der Mitte (siehe Abbildung 2.17(c)). Auf dem Teller finden bis zu maximal zehn 2"-Wafer Platz, wobei während der Graphentransistorenherstellung typischer Weise ein bis maximal drei Wafer gleichzeitig prozessiert wurden. Zu Beginn des Prozesses wird der Teller in Rotation versetzt. Dies gewährleistet die gleichmäßige Temperierung sowie Gasverteilung für alle Wafer. Je nach Prozess ist eine Temperatur des Tellers von 600°C bis 1300°C stufenlos wählbar. Die Bestimmung der Temperatur geschieht mittels eines Pyrosensors durch ein Fenster an der Oberseite der Reaktorkammer. Als Prozessgase stehen Stickstoff (N_2), Wasserstoff (H_2), Sauerstoff (O_2) und Methan (CH_4) zur Prozessierung von kohlenstoffbasierter Elektronik zur Verfügung. Für das CCVD basierte Wachstum von Graphen wird eine Mischung aus Methan und Wasserstoff verwendet, als Katalysator dient Nickel in Kombination mit Aluminium. Abbildung 2.17(d) zeigt die CVD-Reaktorkammer im Betrieb bei einer Prozesstemperatur von 900°C.

2.5 Strukturelle Charakterisierungsverfahren

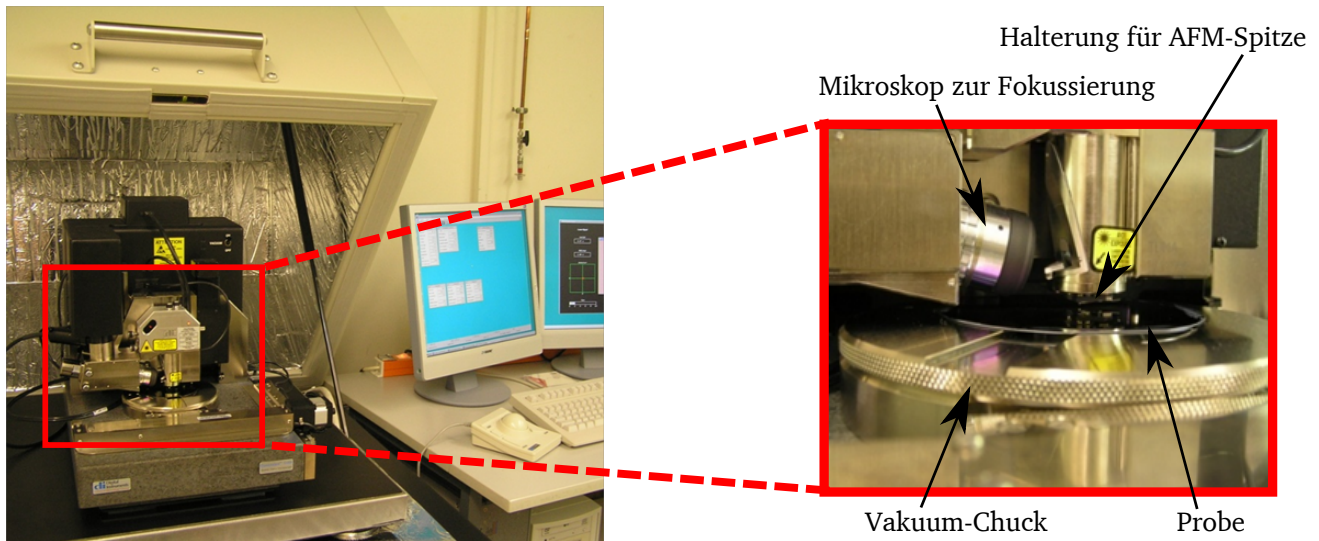
Nachdem alle wesentlichen Schritte zur Herstellung von Graphentransistoren vorgestellt wurden, wird nun auf die Charakterisierungsverfahren eingegangen.

2.5.1 Rasterkraftmikroskopie (AFM)

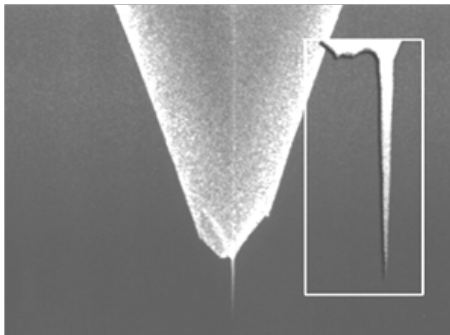
Das Rasterkraftmikroskop dient zum mechanischen Abtasten einer Oberfläche durch Messung atomarer Wechselwirkungen und der daraus resultierenden Kräfte. Hierbei entsteht eine Bild der Oberfläche welches vertikale und laterale Informationen zur Oberfläche enthält. Während einer Messung wird eine feine Messspitze zeilenweise über die Probe bewegt und so die Oberflächenstruktur abgetastet. Die Messspitze ist an dem sogenannten *Cantilever*, einer Blattfeder, befestigt. Während die Spitze die Oberfläche der Probe abtastet, wird die Blattfeder aufgrund der vertikalen Strukturen unterschiedlich stark verbogen. Diese Verbiegung ist ein Maß für die Kräfte die zwischen der Spitze und der Probe auftreten. Neben den anziehenden, langreichweitigen Van-der-Waals-Kräften treten starke abstoßende Kräfte (Coulomb-Abstoßung) mit geringer Reichweite auf [38, 39].

Das am IHTN verwendete AFM *Veeco Dimension 3100* ist in Abbildung 2.18(a) dargestellt und wird bei der Untersuchung von Graphenproben im sogenannten *tapping-mode* betrieben. Hierbei wird der *Cantilever* nahe der Resonanzfrequenz zum Schwingen angeregt und dadurch die Messspitze über der Probe auf und ab bewegt. Die Vergrößerung in Abbildung 2.18(a) zeigt den Messkopf über der Probe welche sich auf einem Vakuum-Chuck befindet. Abbildung 2.18(b) zeigt eine REM-Aufnahme einer AFM-Spitze. Die Wechselwirkungen zwischen der Probe und der Messspitze verändern die Resonanzfrequenz des Systems wodurch sich die Schwingungsamplitude ändert. Das System regelt die vertikale Position des *Cantilevers* nach, um die Schwingungsamplitude konstant zu halten. Diese Regelgröße wird für jeden einzelnen Messpunkt in eine Höheninformation (z-Koordinate) umgerechnet. Parallel dazu wird die laterale Position des *Cantilevers* relativ zur Probe aufgezeichnet (x/y-Koordinate). Die Kombination der einzelnen Messdaten führt zur Topologie der Probe und kann grafisch dargestellt werden. Einen großen Einfluss auf das Messergebnis hat die Geometrie der Messspitze. Abbildung 2.18(c) zeigt den Einfluss der Spitzengeometrie auf das Messergebnis von lateralen Geometriegrößen bei einer AFM-Messung. Bewegt sich die Messspitze über ein eckiges Profil, so erhält man als Messergebnis eine abgerundete Geometrie. Bei einem Krümmungsradius der Spitze von 10 bis 20 nm ist je nach Rauigkeit der Probe eine vertikale Auflösung von 0,1 bis 10nm möglich sein. Eine

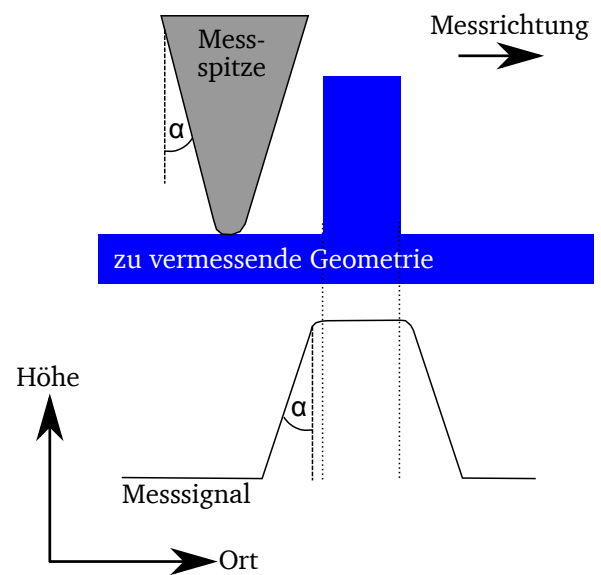
umfassende Beschreibung der Funktionsweise eines AFMs findet sich in [38] und [39].



(a) AFM-Messplatz am IHTN



(b) REM-Aufnahme einer AFM-Spitze



(c) Schematische Darstellung einer AFM-Messung

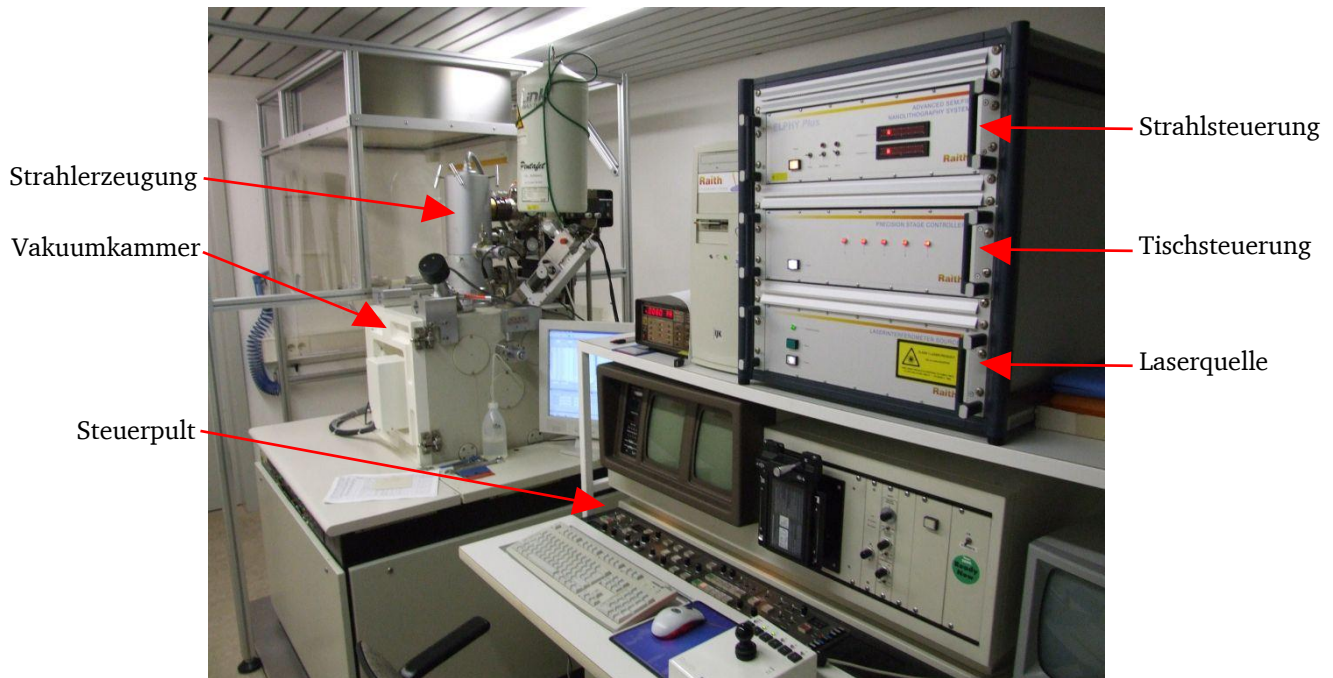
Abbildung 2.18: (a) AFM-Messplatz am IHTN. (b) REM-Aufnahme einer AFM-Spitze [40]. (c) Einfluss der Spitzengeometrie auf das Messergebnis von lateralen Geometriegrößen bei einer AFM-Messung. α = Krümmungsradius.

2.5.2 Rasterelektronenmikroskopie (REM)

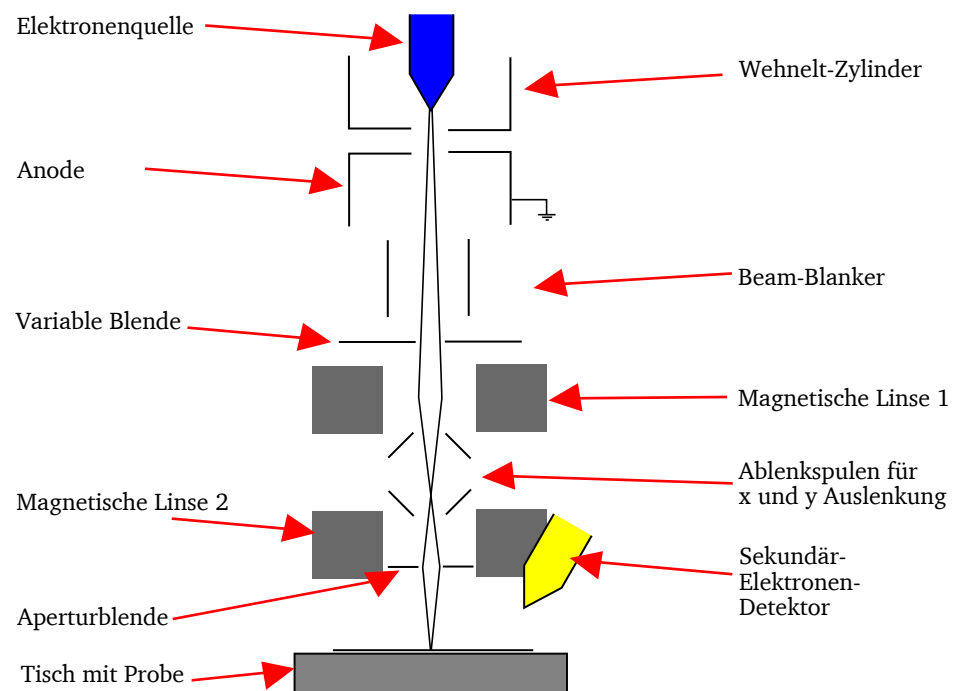
Da mit Hilfe des AFM Oberflächenprofile, also sehr genaue Höhenmessungen möglich sind, wird zur exakten Messung der lateralen Abstände das REM verwendet. Abbildung 2.19(a) zeigt das am IHTN vorhandene *Hitachi REM* der Serie 806, der schematische Aufbau eines Rasterelektronenmikroskops ist in Abbildung 2.19(b) dargestellt. Bei der Rasterelektronenmikroskopie wird ein Elektronenstrahl auf eine Oberfläche fokussiert und die Oberfläche zeilenweise abgetastet. Dies geschieht im Hochvakuum, um Wechselwirkungen der Elektronen mit Atomen und Molekülen in der Luft zu vermeiden. Die entstehenden Sekundärelektronen werden mit einem Detektor nachgewiesen. Die Ausgangssignale des Detektors führen zu einem schwarz-weiß Bild der Oberfläche (siehe Abbildung 2.20(a)), welches im Vergleich zum AFM sehr genaue Informationen über die lateralen Abmessungen der Strukturen enthält. Ähnlich wie bei einer Photographie fehlen allerdings die Höheninformationen. Rasterelektronenmikroskope verfügen je nach Beschleunigungsspannung über eine hohe Schärfentiefe. Die genaue Funktionsweise ist in einem Artikel Manfred von Ardennes aus dem Jahre 1938 beschrieben [41]. Grundlage für die Rasterelektronenmikroskopie ist die ab 1921 von Hans Busch begründete Elektronenoptik aus welcher im Jahre 1926 die von ihm entwickelte Elektronenlinse hervorging [42].

Transmissionselektronenmikroskopie (TEM)

Zur weiteren strukturellen Charakterisierung von Graphenproben wird das Transmissionselektronenmikroskop (TEM) verwendet. Hierbei wird eine Probe von einem Elektronenstrahl durchstrahlt. In der zu untersuchenden Probe werden die Elektronen gestreut, das heißt ihre Bewegungsrichtung ändert sich, wobei der zugrunde liegende Streumechanismus die Rutherford-Streuung (Streuung von geladenen Partikeln an einem geladenen Streuzentrum) ist. Teilweise verlieren sie dabei auch Bewegungsenergie (inelastische Streuung) [43]. Dadurch kann ähnlich zur optischen Streuung an Gittern Informationen über die Gitterstruktur der Probe gewonnen werden und der Basalebenenabstand von kristallinen Proben bestimmt werden. Abbildung 2.20(b) zeigt eine TEM-Übersichtsaufnahme einer am IHTN mittels CCVD hergestellten Graphenprobe.

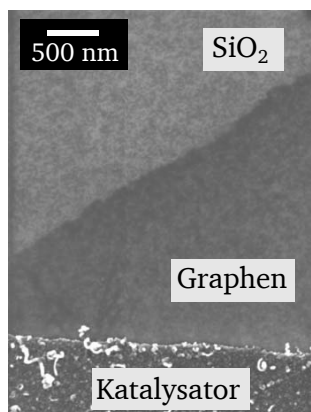


(a) Gesamtübersicht über das Rasterelektronenmikroskop-System am IHTN.

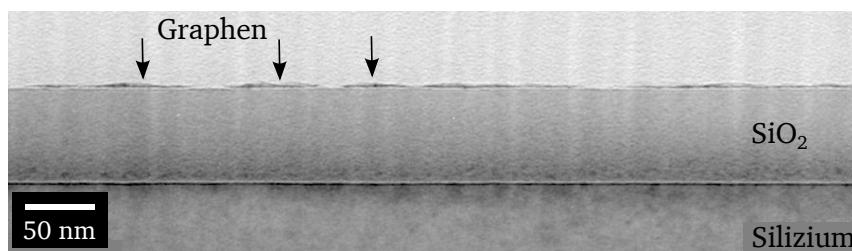


(b) Schematischer Querschnitt durch ein Rasterelektronenmikroskop.

Abbildung 2.19: (a) Photographie des REM-Systems am IHTN. Die Gesamtübersicht zeigt den Reinraum mit Steuerpult und Vakuumkammer, Strahlerzeugung und Steuerrechner des Lithographiesystems. (b) Schematischer Querschnitt durch den Strahlen-gang eines Rasterelektronenmikroskops.



(a) REM-Aufnahme



(b) TEM-Übersichtsaufnahme

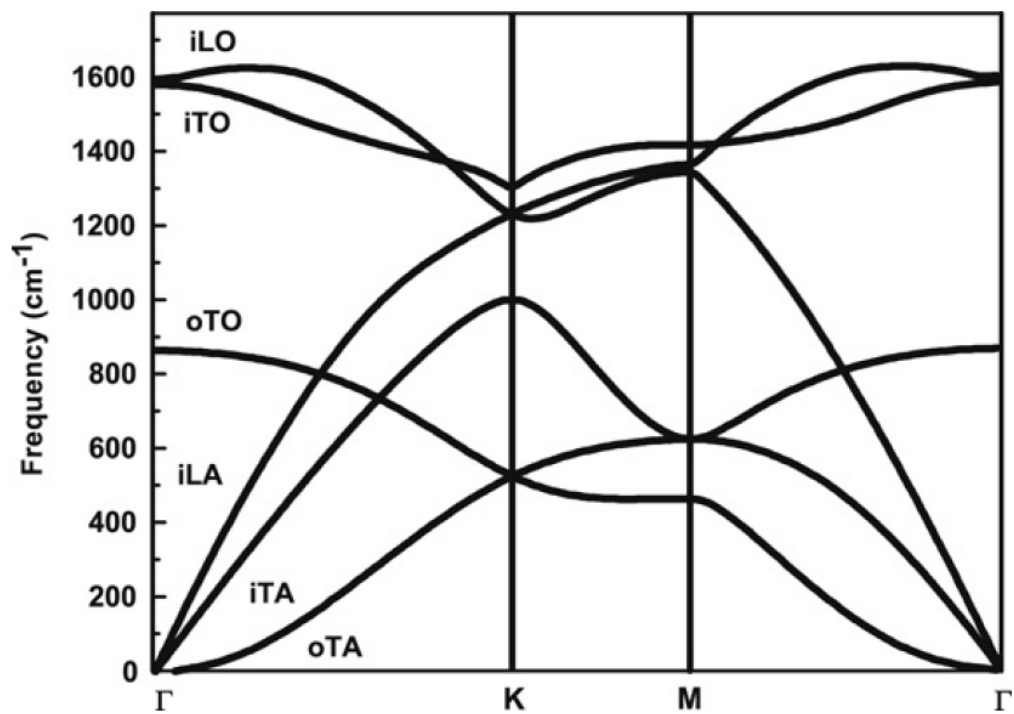
Abbildung 2.20: REM- und TEM-Übersichtsaufnahme einer Graphenprobe [44].

2.5.3 Raman-Spektroskopie

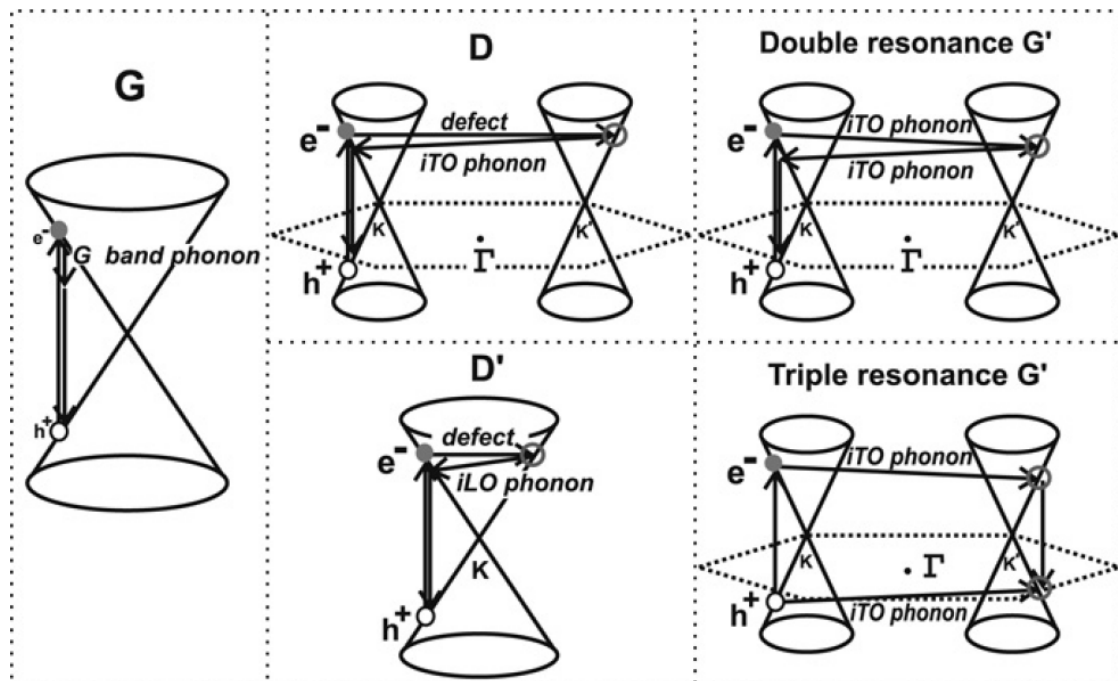
Zur weiteren Materialcharakterisierung wird die Raman-Spektroskopie verwendet, welche seit über 80 Jahren für die Charakterisierung von Molekülen und Festkörpern verwendet wird. Es ist eine zerstörungsfreie Methode um Informationen über Vibrations- und Rotations-Moden eines atomaren/molekularen Systems zu erhalten. Die Methode beruht auf der inelastischen Streuung von monochromatischem Licht an Atomen und Molekülen. Als Lichtquelle wird ein Laser im sichtbaren, nahem infraroten oder nahem ultravioletten Bereich verwendet. Das Laserlicht wechselwirkt mit molekularen Vibrationen, Phononen oder anderen Anregungen des Systems und führt zu einer Verschiebung der Energie des gestreuten Laserstrahls gegenüber der des eingestrahnten Lichts. Für die Entdeckung des Raman-Effekts im Jahre 1928 erhielt der indische Physiker Sir Venkata Raman 1930 den Nobelpreis für Physik [45].

Phononen Streuung in Graphen

Um das Raman-Spektrum von Graphen interpretieren zu können ist es zunächst notwendig die Phononenstreuung in Graphen zu betrachten. Da jede Einheitszelle in Graphen aus zwei Kohlenstoffatomen, A und B, besteht gibt es sechs Phononen Streuungsbänder, siehe Abbildung 2.21(a). Hierbei gibt es akustische Zweige (A) und optische Zweige (O). Für jeweils einen akustischen Zweig (A) und einen optischen Zweig (O) stehen die atomaren Vibrationen senkrecht zu der Graphenebene und gehören damit zu den Phononenmoden außerhalb der Ebene (o) (*out-of-plane*). Für zwei akustische und zwei optische Phononenzweige liegen die Vibrationen innerhalb der Ebene (i) (*in-plane*). Traditionell werden die Schwingungsrichtungen als parallel



(a) Berechnete Phononen Dispersionsrelation in Graphen.



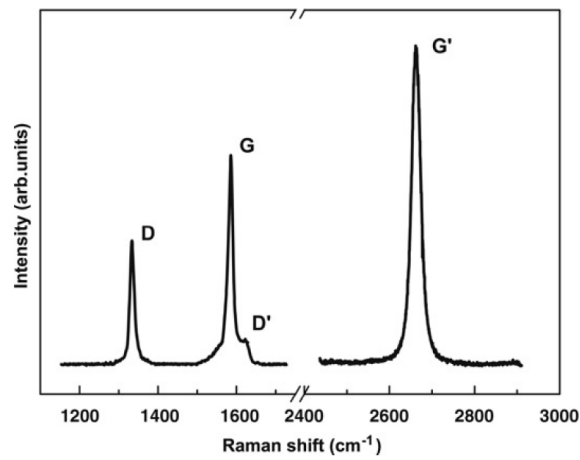
(b) Resonanzen in Graphen.

Abbildung 2.21: (a) Berechnete Dispersionsrelation in Graphen mit den Phononenzweigen iLO, iTO, oTO, iLA, iTA und oTA. (b) Resonanzen in Graphen [46].

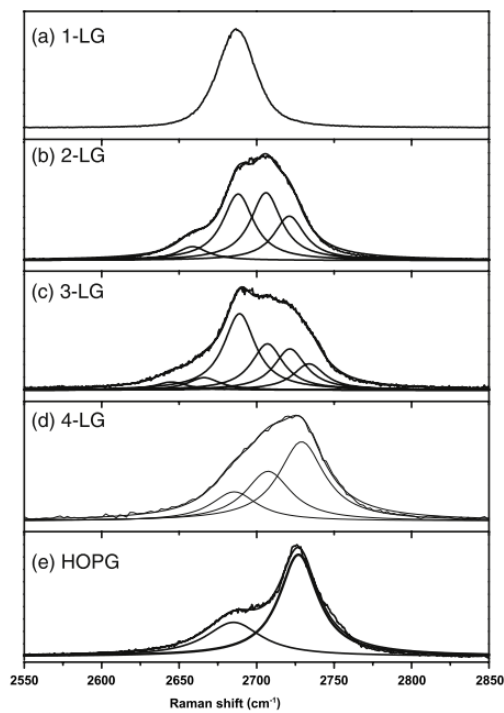
zu den nächstgelegenen C-C Atomen angenommen. Daher werden die Phononenmoden als longitudinal (L) oder transversal (T), entsprechend zu Schwingungen parallel oder senkrecht zu der A-B Kohlenstoff-Kohlenstoff Richtung, bezeichnet. Entlang der Achsen hoher Symmetrie ΓM und ΓK gibt es daher sechs Phononen Dispersionsrelationen welche mit LO, iTO, oTO, LA, iTA, und oTA bezeichnet werden [46]. In der Nähe des Γ -Punktes entspricht die Mode iTO innerhalb der Ebene und die optische Mode LO den Vibrationen des Subgitters A gegen das Subgitter B.

Raman-Streuung erster Ordnung und doppelresonante Raman-Streuung in Graphen

Die Maxima im Raman-Spektrum einer Graphenprobe, welche als *D-Peak*, *D'-Peak*, *G-Peak* und *G'-Peak* oder *2D-Band* bezeichnet werden, sind den unterschiedlichen Resonanzen in Graphen zuzuordnen. Eine Übersicht über die Resonanzen in Graphen zeigt Abbildung 2.21(b). Der *G-Peak* liegt bei einer Raman-Verschiebung von $\approx 1582\text{cm}^{-1}$ bei einer Laseranregung von 514nm und ist der einzige Peak im Graphenspektrum welcher durch eine einfachen Raman-Streuung erster Ordnung resultiert. Die Intensität des *D-Peaks* ($\approx 1350\text{cm}^{-1}$) und des *D'-Peaks* ($\approx 1620\text{cm}^{-1}$) sind abhängig von Störungen und Defekten des Gitters. Abbildung 2.22(a) zeigt das Raman-Spektrum der Kante einer Graphenprobe, zu erkennen an der hohen Intensität des *D-Peaks*. Das *2D-Band* ($\approx 2700\text{cm}^{-1}$) ist ein Streuungsprozess zweiter Ordnung und wird, wie der *G-Peak*, nicht durch Defekte oder Störungen des Gitters beeinflusst. Außerdem enthält die Form des *2D-Bandes* Informationen über die Anzahl der aufeinander gestapelten Graphenschichten [46]. In Abbildung 2.22(b) ist die Form des *2D-Bandes* als Funktion der Anzahl der gestapelten Graphenschichten dargestellt. Allerdings ist die Identifikation der Anzahl der Schichten durch Raman-Spektroskopie nur für Graphen hinreichend belegt, welches nach dem sogenannten *Bernal stacking* (siehe Kapitel 2.1.3) gestapelt ist. Das Raman-Spektrum von Graphen ist außerdem abhängig von dem Substrat auf dem sich die Graphenprobe befindet [47], [48]. Weitere Einflüsse auf das Raman-Spektrum haben adsorbierte Moleküle, wie Wasserstoff, welche sich auf dem Graphen und an den freien Bindungen am Rand einer Graphenprobe anlagern [49]. Damit lassen sich aus einem einzigen Raman-Spektrum einer Graphenprobe viele Informationen über die Beschaffenheit der Probe gewinnen. Dies umfasst die Anzahl der gestapelten Graphenschichten, Defekte, Dotierung und Verzerrungen des Gitters. Eine detaillierte Diskussion der Resonanzen in Graphen und der Raman-Spektroskopie von Graphen findet sich in [46].



(a) Das Raman-Spektrum einer Graphenkante zeigt einen deutlich ausgeprägten *D-Peak*.



(b) *G'-Band* beziehungsweise *2D-Band* als Funktion der Anzahl der gestapelten Graphenschichten.

Abbildung 2.22: (a) Raman-Spektrum der Kante einer Graphenprobe bei einer Laseranregung von 514nm. (b) Form des *2D-Bandes* als Funktion der Anzahl der gestapelten Graphenschichten (1-4 Lagen und pyrolytisches Graphen (HOPG = Highly Ordered Pyrolytic Graphite)) [46].

2.6 Elektrische Messtechnik

Für die elektrische Charakterisierung wird ein *Parameteranalyzer* SCS4200 des Herstellers 'Keithley Instruments' verwendet. Den Aufbau des Messplatzes zeigt Abbildung 2.23.

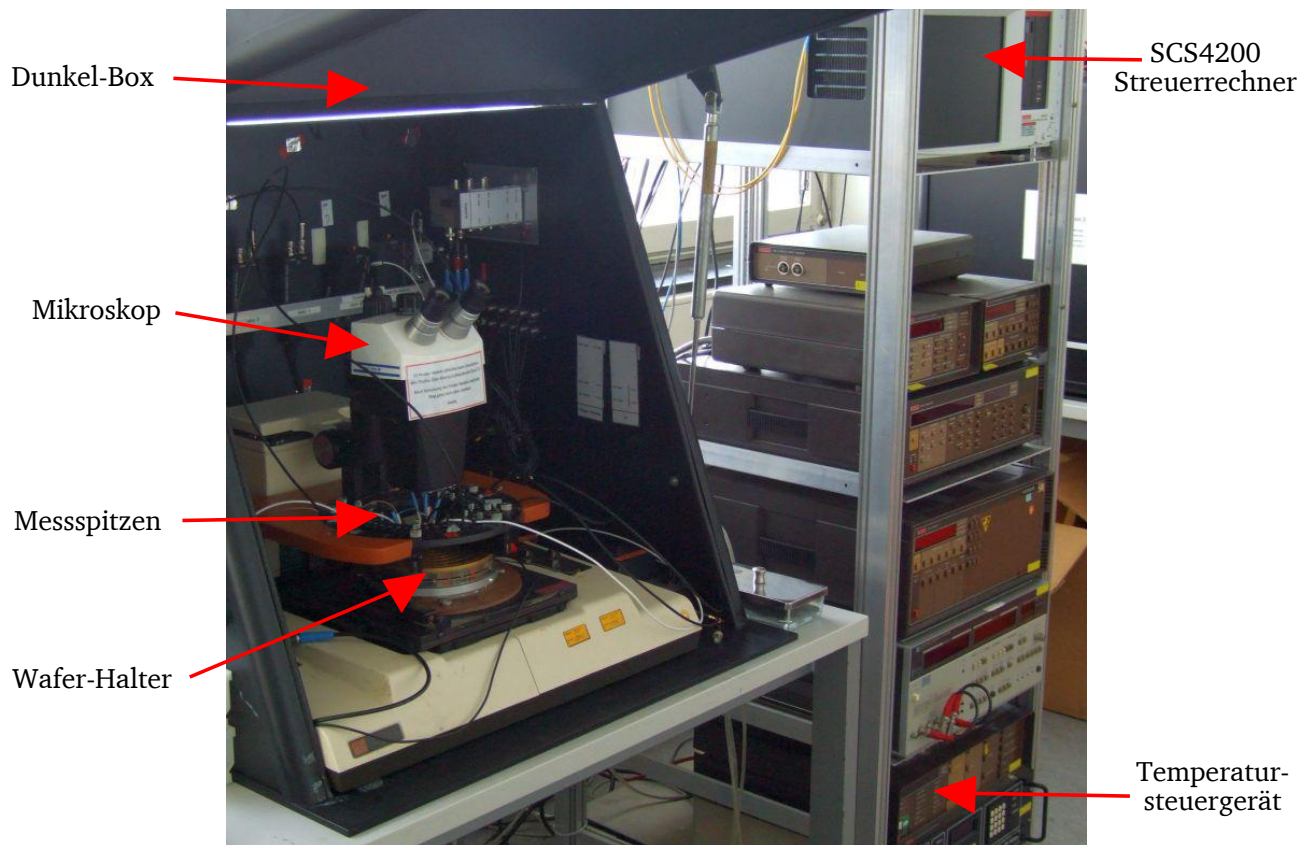


Abbildung 2.23: Elektrischer *Parameteranalyzer* SCS4200 des Herstellers 'Keithley Instruments'.

Der gesamte Messaufbau befindet sich in einer Dunkel-Box, um Einflüsse auf die elektrischen Eigenschaften der GFETs durch Licht auszuschließen. Der Wafer wird auf einen Wafer-Halter aufgelegt und durch Unterdruck an diesen fixiert. Mit Hilfe eines Mikroskops werden manuell elektrisch leitende Nadeln (Messspitzen) auf den Kontaktflächen der GFETs auf der Wafer-Oberfläche positioniert. Die Messspitzen sind über Signalverstärker an die Messeinheit angeschlossen. Zwischen den verschiedenen Messspitzen können mit Hilfe des Steuerrechners Spannungen angelegt und die daraus resultierenden Ströme gemessen werden, um beispielsweise Ausgangskennlinien, Unterswellenkennlinien und weitere Messgrößen aufzunehmen. Darüber hinaus ist es möglich, die Temperatur des Wafer-Halters von Raumtemperatur ausgehend auf bis zu 220°C zu erhöhen, um Temperatureinflüsse auf die Bauelementcharakteristika untersuchen zu können.



Kapitel 3

Herstellung von Graphen- Feld-Effekt-Transistoren



Für die Herstellung von Graphen-Feld-Effekt-Transistoren wurde die am IHTN vorhandene CMOS-Prozesslinie verwendet. Diese beinhaltet alle Bereiche der Technologie integrierter Schaltungen, vom blanken Wafer bis zur fertigen, im Gehäuse befindlichen Schaltung. Dieses Kapitel beinhaltet die Herstellung von GFETs, beginnend beim Substrat bis zu fertig prozessierten Graphen-Feld-Effekt-Transistoren. Die Graphenschichten werden am IHTN mittels katalytisch chemischer Gasphasen-Abscheidung (*englisch CCVD*, siehe Kapitel 2.4.4) hergestellt. Dieses besondere Verfahren ermöglicht es hunderte **Graphen-Feld-Effekt-Transistoren (GFETs)** gleichzeitig auf einem Siliziumwafer zu realisieren, wobei das gesamte Herstellungsverfahren Silizium-CMOS kompatibel ist. Die GFETs werden nach der Anzahl der gestapelten Graphenlagen unterschieden: **monolagige Graphen-Feld-Effekt-Transistoren (MoLGFETs)**, zweilagige (*englisch bilayer*) **Graphen-Feld-Effekt-Transistoren (BiLGFETs)** und mehrlagige (*englisch fewlayer*) **Graphen-Feld-Effekt-Transistoren (FewLGFETs)**.

3.1 Beschreibung der Graphen-Feld-Effekt-Transistor-Herstellung

Zur Herstellung von GFETs werden mit Bor hoch dotierte 2" Silizium-Wafer mit der Orientierung $\langle 100 \rangle$ verwendet. Der Widerstand des Wafers beträgt $0,01 - 0,02 \Omega\text{cm}$. Im Anschluss an die MOS-Standardreinigung werden die Wafer in trockener Atmosphäre bei 1000°C für etwa 120 Minuten oxidiert um ein Oxid von 100 nm Dicke zu erhalten, wie in Abbildung 3.1(a) schematisch dargestellt. Anschließend wird ein doppellagiges Lift-Off System aufgebracht und mittels optischer Lithographie strukturiert, siehe Abbildung 3.1(b). Dieses Lift-Off System dient zur Strukturierung der Katalysatorschicht, welche aus einer sehr dünnen Aluminium (Al) und Nickel (Ni) Doppelschicht besteht. Beide Katalysatorschichten werden nacheinander mittels Elektronenstrahlverdampfung auf der Wafer-Oberfläche abgeschieden. Hierbei befindet sich die Aluminiumschicht unter der Nickelschicht, wie in Abbildung 3.1(c) dargestellt. Durch den anschließenden Lift-Off entstehen Katalysatorbereiche auf der Wafer-Oberfläche mit einer Strukturgröße von etwa $100\mu\text{m}$ (siehe Abbildung 3.1(d)). Während des Ausheizens des Wafers bei 900°C in der CVD Reaktorkammer in Stickstoffatmosphäre (für 10 Minuten) bildet das Aluminium an der Grenzfläche zum Siliziumdioxid in Reaktion mit dem unterliegenden Siliziumdioxid [50] eine selbstlimitierte Aluminiumoxidschicht (Al_xO_y) (siehe Abbildung 3.1(e) rechts), welches die Bildung von Nickel-Nano-Clustern an der Kante des Katalysators begünstigt. Wird nun das Prozessgas, welches eine Mischung aus Methan (CH_4) und Wasserstoff (H_2) ist, in die Reaktorkammer eingeleitet, beginnen Graphenlagen ausgehend von der Kante des Katalysators am Übergang zwischen Aluminium und Nickel auf dem Siliziumdioxid zu wachsen (siehe Abbildung 3.1(f)). Die Prozessdauer beträgt 10 Minuten und ist abhängig von mehreren Prozessparametern, insbesondere von der Prozesstemperatur, der Zusammensetzung des Katalysators (Schichtdicke von

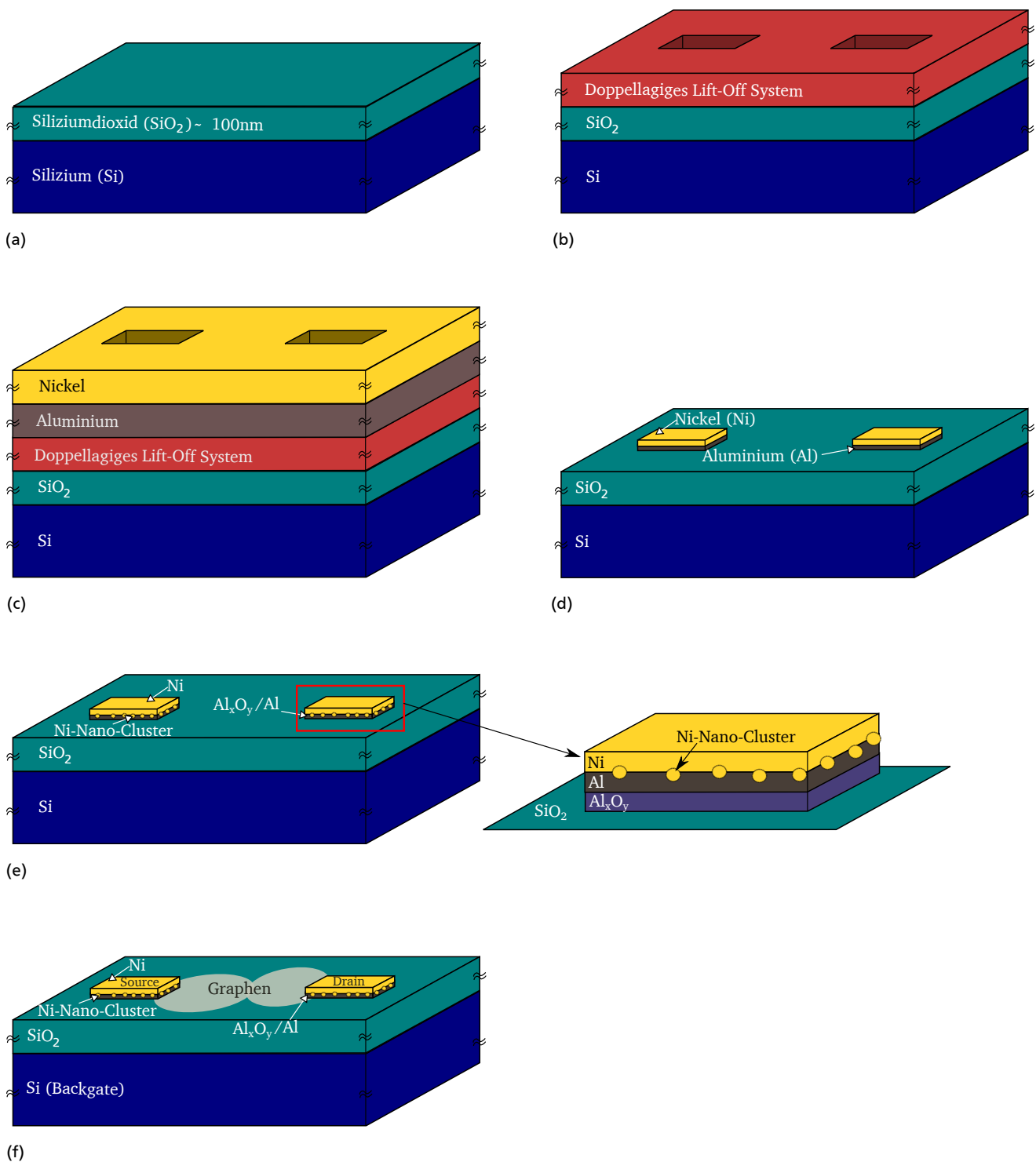
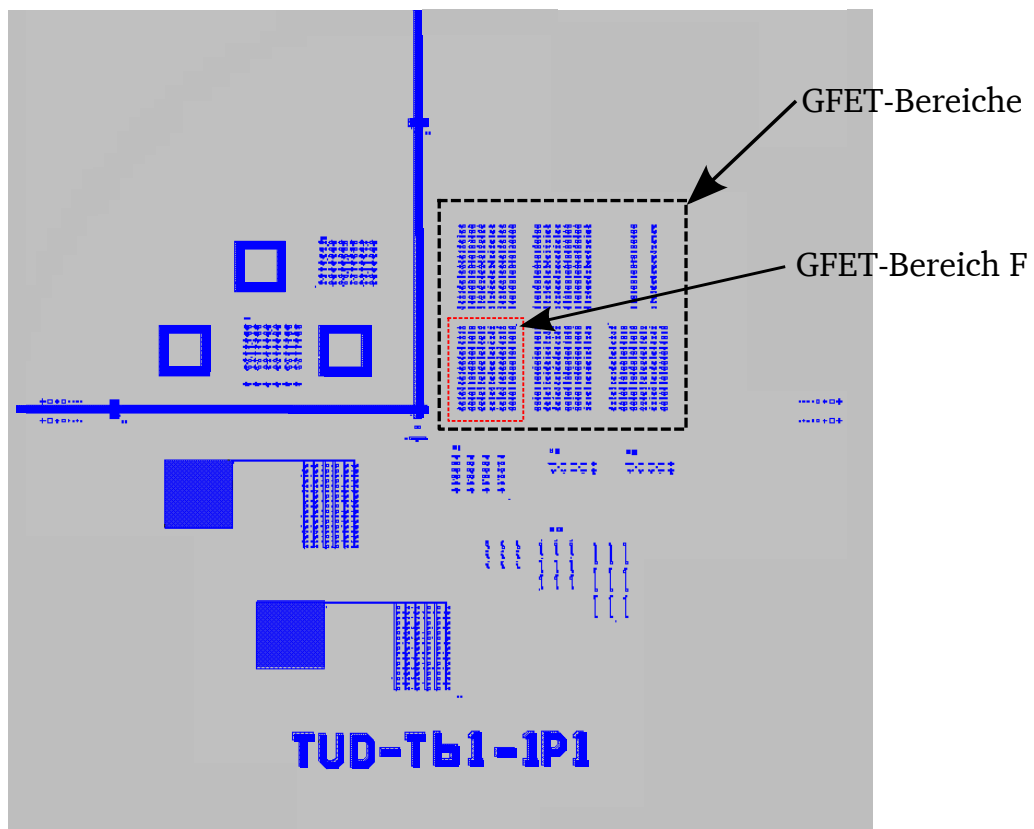
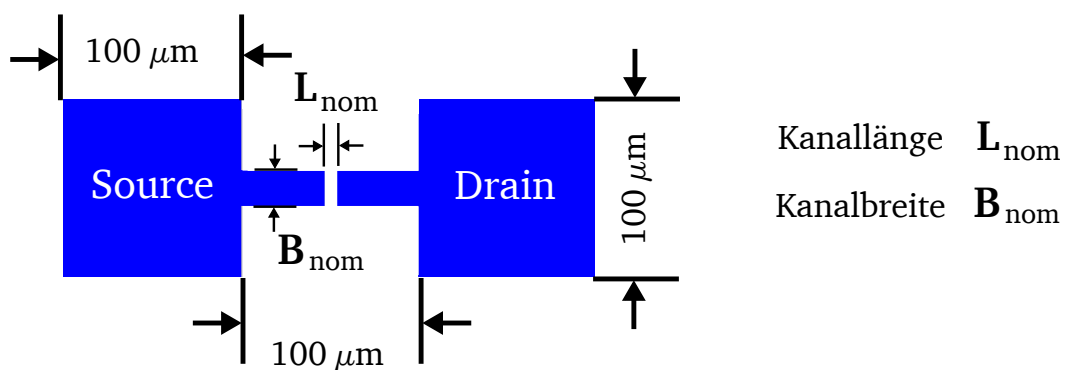


Abbildung 3.1: Schematische Darstellung des Fabrikationsprozesses. (a) Oxidierter Silizium-Wafer. (b) Doppellagiges Lift-Off System aufgebracht und mittels optischer Lithographie strukturiert. (c) Nanometer skalige Aluminium- und Nickel-Schichten auf der Wafer-Oberfläche abgeschieden. (d) Silizium-Wafer nach Lift-Off. (e) Silizium-Wafer nach Ausheizen bei 900 °C in Stickstoffatmosphäre. (f) Fertig prozessierter Silizium-Wafer mit Graphen-Bauelementen.



(a) Layout der Maske TUD-T61-1P1



(b) Detailansicht einer GFET-Padflöte mit den korrespondierenden geometrischen Abmessungen

Abbildung 3.2: (a) Layout der Maske TUD-T61-1P1 welche zur Strukturierung des Katalysatorsystems verwendet wird. (b) Detailansicht einer GFET-Padflöte.

Al und Ni) und des Prozessgases sowie der Durchflussrate des Prozessgases. Nach dem Prozess kühlen die Wafer in der CVD-Kammer für 20 Minuten ab. Die Kammer wird dabei weiterhin mit Stickstoff gespült.

Je nach Ausführung der Maske welche für die Lithographie verwendet wird, können mehrere hundert GFETs auf einem 2" Silizium-Wafer gleichzeitig hergestellt werden. Für die Herstellung von GFETs wurde zunächst die am IHTN bereits vorhandene Maske TUD-T61-1P1 verwendet. Diese ist in Abbildung 3.2(a) dargestellt. Nur die Strukturen des ersten Quadranten der Maske eigneten sich bezüglich ihrer Abmessungen für die Herstellung von Graphenbauelementen. Die Abmessungen der Strukturen der übrigen Quadranten führen zu Problemen während des Lift-Off Prozessschrittes. Einer der GFET-Bereiche ist beispielsweise Bereich F. Zu Bereich F gehören 102 GFETs die sich in der Kanallänge und Kanalbreite unterscheiden. Die nominalen Kanallängen L_{nom} betragen 1,6 bis 4,0 μm , in Schritten von 0,2 μm und 4,5 bis 6,0 μm in Schritten von 0,5 μm . Die nominale Kanalbreite B_{nom} eines Transistors kann 5 μm , 10 μm , 15 μm , 20 μm , 25 μm oder 50 μm betragen. Die lateralen Abmessungen der GFETs sind schematisch in Abbildung 3.2 (b) dargestellt. Die Bezeichnung eines GFETs beinhaltet Chagenname, GFET-Bereich und nominale Abmessungen:

GRA4#7 – F 05 22

Charge 4, Wafer 7, GFET-Bereich F, $B_{\text{nom}} = 5\mu\text{m}$, $L_{\text{nom}} = 2,2\mu\text{m}$

Die Bezeichnung ist eindeutig, da es für jeden GFET-Bereich auf einem Wafer die Kombination aus B_{nom} und L_{nom} nur einmal gibt. Die finale Position der GFETs wird durch die Lithographie bestimmt, welche gleichzeitig zur Strukturierung des Katalysators dient. Die Herstellung der GFETs umfasst, verglichen mit der Herstellung von konventionellen MOSFETs, nur wenige Prozessschritte. Die GFETs sind direkt nach dem Wachstumsprozess der Graphenschichten funktionsfähig. Die Katalysatorbereiche werden gleichzeitig als Source- und Drain-Kontakte verwendet und das rückseitige Siliziumsubstrat als Gate-Anschluss genutzt.

3.2 Entwicklung der Prozessparameter

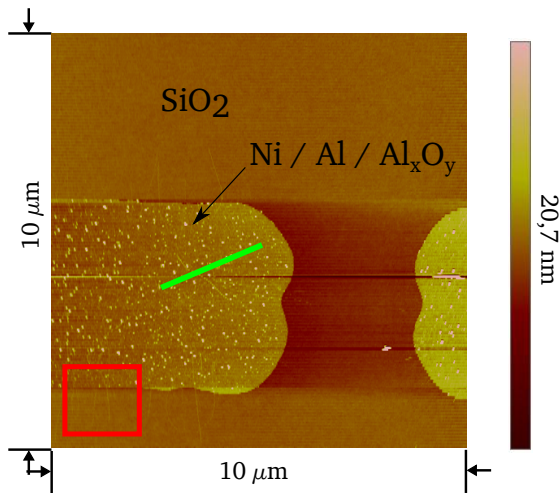
Der Grundgedanke zur Herstellung von GFETs mittels CCVD basiert auf dem am IHTN entwickelten Verfahren zur Massenfabrikation von CNTFETs [40]. Nickel wird verwendet, um Kohlenstoff- und Wasserstoff-Atome des Methans in einer katalytischen Reaktion zu trennen und bei geeigneten Umgebungsbedingungen das Wachstum von spezifischen Kohlenstoffstrukturen auf der Oberfläche des Substrats zu begünstigen. Die Prozessierung von CNTFETs wurde adaptiert und ist daher der Herstellung von GFETs auf den ersten Blick ähnlich. Wesentliche Unterschiede zeigen sich jedoch in der Zusammensetzung und Vorbehandlung des Katalysators sowie der Prozesstemperatur und der Mischung der Prozessgase.

Die Chargen zur GFET-Herstellung tragen fortlaufend nummeriert die Bezeichnung *GRA*. Bei den Chargen *GRA1* und *GRA2* wurde bei der Prozesskontrolle eine Kontaminierung des Substrats festgestellt, weshalb diese Chargen verworfen wurden. Die Beschreibung der Chargen mit funktionsfähigen Bauelementen beginnt daher mit Charge *GRA3*. Auf Silizium-Wafern hoher Qualität wurden alle folgenden Chargen prozessiert. Alle Bauelemente, welche im Folgenden beschrieben werden, wurden auf hoch Bor dotierten 2" Silizium-Wafern mit der Orientierung $\langle 100 \rangle$ hergestellt. Anhang A führt tabellarisch sämtliche prozessierte Chargen sowie die wichtigsten zugrunde liegenden Prozessparameter auf.

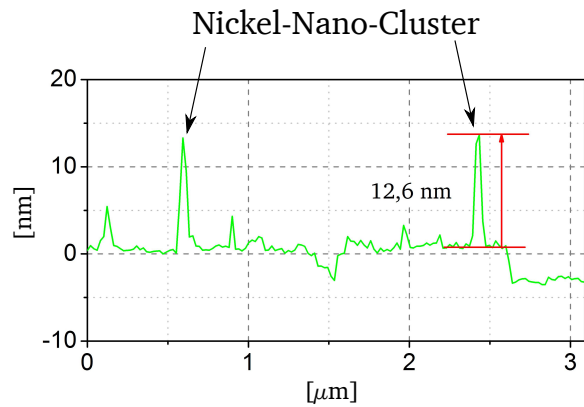
3.2.1 Charge *GRA3*

Für Charge *GRA3* (siehe Tabelle 3.1) wurden die gleichen Parameter für die Schichtdicke des Katalysators gewählt wie sie für CNTFETs ideal sind [40], 5nm Aluminium und 0,9 nm Nickel. Sämtliche Prozessparameter von Wafer *GRA3#5* wurden wie für die Herstellung von CNTFETs gewählt: 5nm Al; 0,9 nm Ni; 870 °C CVD-Temperatur; 5,92slm CH₄; 0,26slm H₂. Ausgehend von Wafer *GRA3#5* wurde zunächst die Konzentration des Prozessgases sowie die Prozesstemperatur modifiziert. Der Einfluss einer Erhöhung oder eine Verringerung der Methankonzentration des Prozessgases auf das Wachstum wurde geprüft. Wafer *GRA3#1* zeigt weder CNTs noch Graphen nach dem CCVD-Prozess. Die Wafer *GRA3# 2,3,7,8* weisen CNTs aber kein Graphen auf. Die Katalysatorbereiche zeigen bei allen Wafern eine gleichmäßige Verteilung der Nickel-Nano-Cluster, welche eine Höhe von 10nm bis 15nm besitzen (siehe Abbildung 3.3). Da die Veränderung der CCVD-Prozessparameter nicht zum Wachstum von Graphen geführt hat, wird im nächsten Schritt die Größe der Nickel-Nano-Cluster verändert. Hierzu kann einerseits die Schichtdicke des Aluminiums sowie die Schichtdicke des Nickels verringert oder erhöht wer-

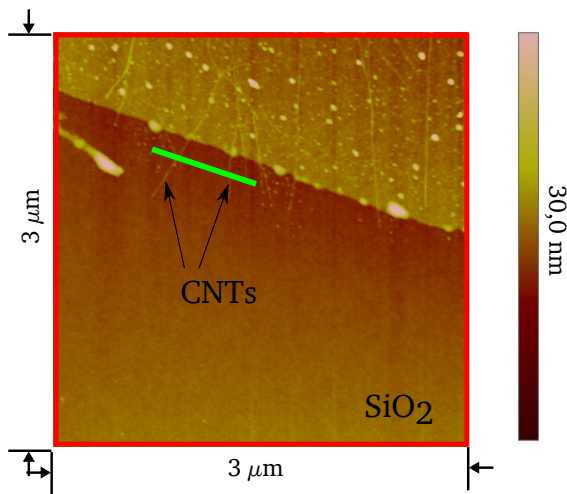
den. Auch die Behandlung des Katalysators mit einem Sauerstoffplasma beeinflusst die Bildung der Nickel-Nano-Cluster. Daher wird das Sauerstoffplasma bei der Prozessierung der nächsten Charge nicht verwendet.



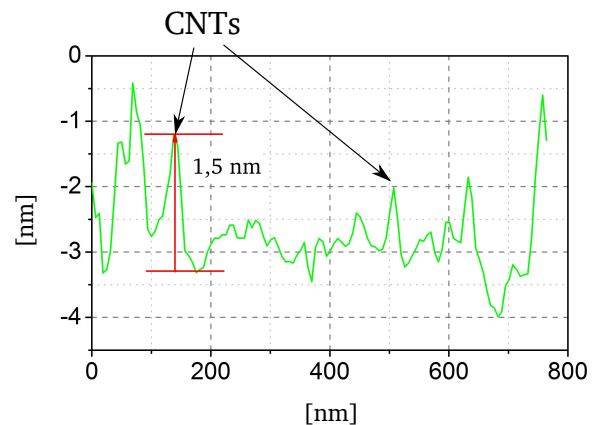
(a) GRA3#2-F0524 nach CCVD.



(b) Topologie entlang der grünen Linie in (a).



(c) Vergrößerung von (a).



(d) Topologie entlang der grünen Linie in (c).

Abbildung 3.3: Wachstum von Kohlenstoffnanoröhren (CNTs) in Charge GRA3.

| Charge | Wafer | SiO ₂ Dicke [nm] | Al Dicke [nm] | Ni Dicke [nm] | Lift- Off [min] | O ₂ Plasma | CVD [°C] | CH ₄ [slm] | H ₂ [slm] | Kommentar |
|--------|-------|-----------------------------------|---------------------|---------------------|-----------------------|--------------------------|-------------|--------------------------|-------------------------|-----------------------------------|
| | [#] | | | | | | | | | |
| GRA3 | 1 | 100 | 5 | 0,9 | 20 | ja | 900 | 5,92 | 0,10 | Cluster, keine CNTs, kein Graphen |
| | 2 | 100 | 5 | 0,9 | 20 | ja | 900 | 3,55 | 0,10 | Cluster, CNTs, kein Graphen |
| | 3 | 100 | 5 | 0,9 | 20 | ja | 850 | 3,55 | 0,10 | Cluster, CNTs, kein Graphen |
| | 4 | 100 | 5 | 0,9 | 20 | ja | | | | Katalysatorschicht fehlerhaft |
| | 5 | 100 | 5 | 0,9 | 20 | ja | 870 | 5,92 | 0,26 | Cluster, CNTs, kein Graphen |
| | 6 | 100 | 5 | 0,9 | 20 | ja | 900 | 10,65 | 0,0 | Cluster, keine CNTs, kein Graphen |
| | 7 | 100 | 5 | 0,9 | 20 | ja | 900 | 3,55 | 0,05 | Cluster, CNTs, kein Graphen |
| | 8 | 100 | 5 | 0,9 | 20 | ja | 900 | 3,55 | 0,0 | Cluster, CNTs, kein Graphen |
| | 9 | 100 | | | | | | | | Oxiddickenbestimmung |

Tabelle 3.1: Übersicht über Prozessparameter der Charge *GRA3*.

3.2.2 Charge *GRA4*

Ausgehend von den Ergebnissen von Charge *GRA3* wurde die Schichtdicke des Katalysators bei acht Wafern in Charge *GRA4* (siehe Tabelle 3.2) von 0,9nm beziehungsweise 5nm auf je 10nm Aluminium und Nickel erhöht und die Behandlung des Katalysators mit einem Sauerstoffplasma verworfen. Nach dem CCVD-Prozess sind bei den Wafern *GRA4# 1,2,3,4,5,7,8* etwa 150nm hohe Kohlenstoffablagerungen auf dem Katalysator gemessen worden. Um die Beschaffenheit des Katalysators ohne die Kohlenstoffablagerungen zu prüfen, wurde Wafer *GRA4#6* vollständig inert prozessiert, dass heißt während des gesamten Prozesses wurde ausschließlich Stickstoff als Prozessgas verwendet. Die Analyse des Wafers mit dem AFM zeigt die veränderte Cluster-Bildung, welche aus der Veränderung der Katalysatordicke ohne Sauerstoffplasma resultiert. Durch die erhöhte Menge an Nickel kann in gleicher Zeit bei gleichem Gasgemisch mehr Kohlenstoff aus dem Prozessgas angelagert werden. Dies erhöht die Menge der beobachteten Kohlenstoffablagerungen auf der Oberfläche des Katalysators.

Die Graphenschichten auf den Wafern *GRA4# 1,2,7,8* sind vorwiegend monolagig. Zweilagiges Graphen wurde auf den Wafer *GRA4# 3,4,11* mit Hilfe der elektrischen Charakterisierung nachgewiesen. Die Parametersätze der Wafer *GRA4# 3,7,8* sind hierbei die besten Prozessparameter zur Herstellung von monolagigem und zweilagigem Graphen in Hinblick auf die Ausbeute funktionierender Graphenbauelemente.

Obwohl auch bei Wafer *GRA4#11* zweilagiges Graphen mit einer Katalysatorschicht bestehend aus 5nm Aluminium und 0,9nm Nickel hergestellt wurde, wird diese Parameterkonstellation nicht weiter verfolgt, da die dünne Nickelschicht nach dem CCVD-Prozess fast vollständig in Nickel-Nano-Cluster umgebildet wird und daher nicht mehr genutzt werden kann um die Bauelemente elektrisch zu kontaktieren. Die Verwendung eines Katalysators bestehend aus je 10nm Aluminium und Nickel ermöglicht es hingegen die GFETs direkt nach dem CCVD-Prozess zu kontaktieren. Das zusätzliche Aufbringen eines Kontaktes ist somit zunächst nicht notwendig.

Dadurch entfallen vorerst zusätzliche Lithographieschritte, welche die elektrischen Eigenschaften der GEFTs durch Anlagerung von Verunreinigungen aus Lacken an das Graphen verändern können.

Die Graphenbauelemente der Charge *GRA4* zeigen insbesondere für monolagiges Graphen das erwartete Verhalten der Strom/Spannungs-Abhängigkeit, wie in Kapitel 4 beschrieben. Der maximale Strom zwischen Source und Drain ist allerdings auf etwa $10^{-6}A$ beschränkt (siehe Kapitel 4). Mögliche Ursache ist der hohe Kontaktwiderstand aufgrund der Kohlenstoffablagerungen auf den Katalysatorbereichen sowie der etwa 5nm hohe und $5\mu m$ breite Nickelkontakt am Graphen mit einer Länge von $100\mu m$.

| Charge | Wafer [#] | SiO ₂ Dicke [nm] | Al Dicke [nm] | Ni Dicke [nm] | Lift- Off [min] | O ₂ Plasma | CVD [°C] | CH ₄ [slm] | H ₂ [slm] | Kommentar |
|--------|--------------|-----------------------------------|---------------------|---------------------|-----------------------|--------------------------|-------------|--------------------------|-------------------------|------------------------------------|
| GRA4 | 1 | 100 | 10 | 10 | 20 | nein | 900 | 3,55 | 0,05 | MoLGFETs |
| | 2 | 100 | 10 | 10 | 20 | nein | 900 | 3,55 | 0,0 | MoLGFETs |
| | 3 | 100 | 10 | 10 | 20 | nein | 900 | 10,65 | 0,0 | BiLGFETs |
| | 4 | 100 | 10 | 10 | 20 | nein | 900 | 9,47 | 0,0 | BiLGFETs |
| | 5 | 100 | 10 | 10 | 20 | nein | 900 | 10,65 | 0,05 | CVD Prozessfehler |
| | 6 | 100 | 10 | 10 | 20 | nein | 900 | 0,0 | 0,0 | CVD in Stickstoffatmosphäre |
| | 7 | 100 | 10 | 10 | 20 | nein | 900 | 10,65 | 0,05 | MoLGFETs |
| | 8 | 100 | 10 | 10 | 20 | nein | 900 | 9,47 | 0,05 | MoLGFETs |
| | 9 | 100 | | | | | | | | Oxiddickenbestimmung |
| | 10 | 100 | 5 | 0,9 | 20 | nein | 870 | 5,92 | 0,26 | wenige funktionierende Bauelemente |
| | 11 | 100 | 5 | 0,9 | 20 | nein | 900 | 10,65 | 0,0 | zweilagiges Graphen |

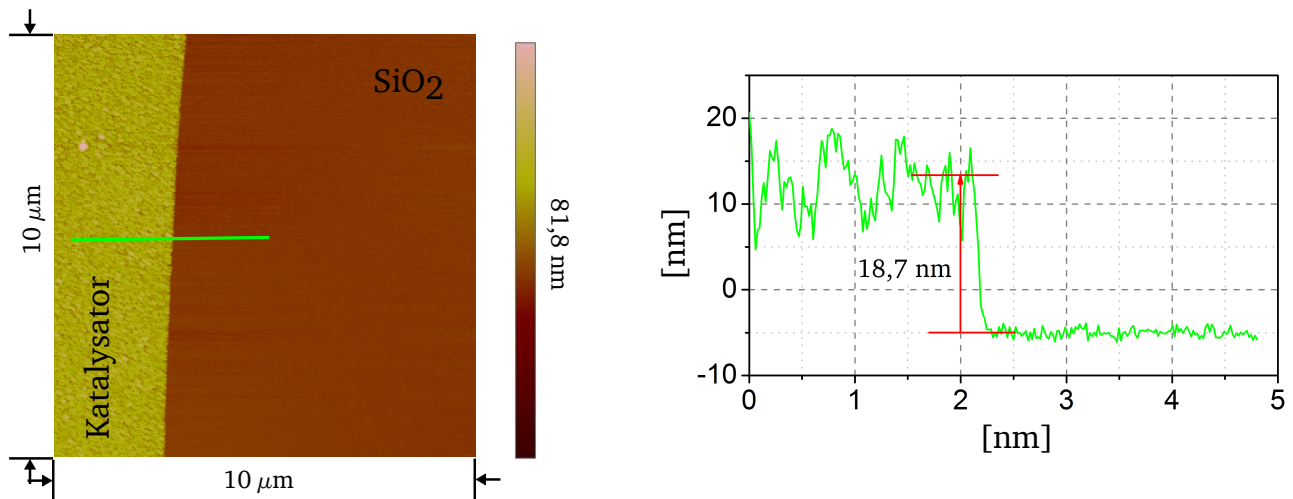
Tabelle 3.2: Übersicht über Prozessparameter der Charge *GRA4*.

3.2.3 Charge *GRA5*

Die 10nm dicke Nickelschicht zeigte geringen Widerstand bei der Kontaktierung. Eine weitere Erhöhung der Nickeldicke soll klären, ob der Widerstand weiter reduziert werden kann. Daher wurde in Charge *GRA5* (siehe Tabelle 3.3) bei den Wafern # 4,5,6,7 die Dicke der Nickelschicht von 10nm auf 20nm und 60nm erhöht und mit den CCVD-Prozessparametern der Wafer *GRA4#3* und *GRA4#8* prozessiert. Die vergleichsweise große Menge an Nickel verändert die Clusterbildung deutlich, das Wachstum von Graphen ist unter diesen Bedingungen nicht möglich.

Ein weiterer untersuchter Aspekt war die Notwendigkeit der Aluminiumschicht unterhalb des Nickels. Deshalb wurden die Wafern *GRA5# 8,10* ohne Aluminiumunterlage bei einer Nickelschichtdicke von 10nm prozessiert. Die AFM-Aufnahme in Abbildung 3.4 zeigt die Katalysatoroberfläche am Übergang zum Siliziumdioxid. Während des CCVD-Prozesses haben sich keine

Nickel-Nano-Cluster gebildet. Der 10nm dicke Nickelkatalysator ist gleichmäßig von einer etwa 8nm dicken Kohlenstoffschicht bedeckt. Dies zeigt, dass die Aluminiumschicht unter der Nickelschicht notwendig ist, um Nickel-Nano-Cluster zu erzeugen. Ohne Nickel-Nano-Cluster ist das Graphenwachstum in diesem Prozess nicht möglich. Daher wurde die Herstellung von Graphen-transistoren mit einem reinen Nickelkatalysator verworfen.



(a) GRA5#8-F5018 nach CCVD

Abbildung 3.4: Überprüfung der Schichthöhe des Katalysators. Wafern GRA5#8 vollständig mit einem 10nm dicken Nickelkatalysator prozessiert.

| Charge | Wafer [#] | SiO ₂ Dicke [nm] | Al Dicke [nm] | Ni Dicke [nm] | Lift- Off [min] | O ₂ Plasma | CVD [°C] | CH ₄ [slm] | H ₂ [slm] | Kommentar |
|--------|--------------|-----------------------------------|---------------------|---------------------|-----------------------|--------------------------|-------------|--------------------------|-------------------------|------------------------------------|
| GRA5 | 1 | 100 | | | | | | | | Lithographiefehler ⇒ GRA6 |
| | 2 | 100 | 10 | 10 | 20 | nein | 900 | 10,65 | 0,05 | FewLGFETs |
| | 3 | 100 | 10 | 10 | 20 | nein | 900 | 10,65 | 0,0 | FewLGFETs |
| | 4 | 100 | 10 | 20 | 20 | nein | 900 | 10,65 | 0,05 | Keine funktionierenden Bauelemente |
| | 5 | 100 | 10 | 20 | 20 | nein | 900 | 10,65 | 0,0 | Keine funktionierenden Bauelemente |
| | 6 | 100 | 10 | 60 | 20 | nein | 900 | 10,65 | 0,05 | Keine funktionierenden Bauelemente |
| | 7 | 100 | 10 | 60 | 20 | nein | 900 | 10,65 | 0,0 | Keine funktionierenden Bauelemente |
| | 8 | 100 | 0 | 10 | 20 | nein | 900 | 10,65 | 0,05 | Keine funktionierenden Bauelemente |
| | 9 | 100 | 10 | 10 | 20 | | | | | Lithographiefehler ⇒ GRA6 |
| | 10 | 100 | 0 | 10 | 20 | nein | 900 | 10,65 | 0,0 | Keine funktionierenden Bauelemente |
| | 11 | 100 | | | | | | | | Oxiddickenbestimmung |

Tabelle 3.3: Übersicht über Prozessparameter der Charge GRA5.

3.2.4 Charge GRA6

Charge *GRA6* (siehe Tabelle 3.4) wurde genutzt um vorangegangene Versuche zu verifizieren und weitere Prozessparametersätze zu testen. Die Ergebnisse der elektrischen Charakterisierung zeigen, dass das Prozessfenster für die Herstellung von monolagigem und zweilagigem Graphen sehr begrenzt ist. Die Erhöhung und Verringerung der Flussraten von Methan und Wasserstoff führte zu einer Verschlechterung der Ausbeute. Wafer *GRA6#8* wurde bei einer Temperatur von 800 °C prozessiert. Die Verringerung der Prozesstemperatur war nötig, da sich während der vielen CCVD-Prozesse ein Teil des Kohlenstoffs auf der Wand der CVD-Glocke niederschlug. Die Temperatur des mit Siliziumcarbid überzogenen Graphittellers, auf welchem die Wafer liegen, wird mit Hilfe eines Pyrometers durch ein Fenster der Glocke von außen bestimmt. Verrußt dieses Fenster ermittelt das Pyrometer eine zu niedrige Ist-Temperatur. Infolge dessen wird die Temperatur des Siliziumcarbiddtellers durch die automatische Regelung solange erhöht bis die eingestellte Soll-Temperatur vom Pyrosensor gemessen wird. Die Ist-Temperatur des Siliziumcarbiddtellers ist dann allerdings um etwa 50 °C bis 100 °C höher als am Regler eingestellt. Daher sind die Ergebnisse der Charge *GRA6* für die bei 900 °C (950 °C Ist-Temperatur) prozessierten Wafer insgesamt schlechter als die Wafer der Charge *GRA5* bei gleichen Prozessparametern. Daher wurden die Wafer *GRA6# 8,10* bei einer an der CVD-Anlage eingestellten Temperatur von 800 °C prozessiert, welche einer vermuteten Nominal-Temperatur von etwa 900 °C entspricht.

| Charge | Wafer [#] | SiO ₂ Dicke [nm] | Al Dicke [nm] | Ni Dicke [nm] | Lift- Off [min] | O ₂ Plasma | CVD [°C] | CH ₄ [slm] | H ₂ [slm] | Kommentar |
|--------|--------------|-----------------------------------|---------------------|---------------------|-----------------------|--------------------------|-------------|--------------------------|-------------------------|------------------------------------|
| GRA6 | 1* | 100 | 10 | 10 | 20 | nein | 800 | 10,65 | 0,05 | Lithographiefehler ⇒ GRA7 |
| | 2 | 100 | 10 | 10 | 20 | nein | | | | Katalysatorschicht fehlerhaft |
| | 3 | 100 | 10 | 10 | 20 | nein | 900 | 3,55 | 0,05 | Keine funktionierenden Bauelemente |
| | 4 | 100 | 10 | 10 | 20 | nein | 900 | | | CVD Anlage bei Prozess ausgefallen |
| | 5 | 100 | 10 | 10 | 20 | nein | 900 | 8,28 | 0,0 | FewLGFETs |
| | 6 | 100 | 10 | 10 | 20 | nein | 800 | 10,65 | 0,05 | Lithographiefehler ⇒ GRA7 |
| | 7 | 100 | 10 | 10 | 20 | nein | 900 | 10,65 | 0,10 | FewLGFETs |
| | 8 | 100 | 10 | 10 | 20 | nein | 800 | 10,65 | 0,0 | BiLGFETs |
| | 9 | 100 | 10 | 10 | 20 | nein | | | | Katalysatorschicht fehlerhaft |
| | 10 | 100 | 10 | 10 | 20 | nein | 800 | 10,65 | 0,05 | BiLGFETs, FewLGFETs |
| | 11 | 100 | | | | | | | | Oxiddickenbestimmung |

Tabelle 3.4: Übersicht über Prozessparameter der Charge *GRA6*.

3.2.5 Charge GRA7

Während der Prozesskontrolle der Charge *GRA6* wurde bei der Messung der Schichtdicke des Katalysatorsystems deutlich, dass die Gesamtdicke des Katalysators (Soll-Dicke 20nm = 10nm Al + 10nm Ni) zu gering ist und $17\text{nm} \pm 1\text{nm}$ beträgt. Daher wurde die Metallisierung der Wafer *GRA7# 1,2,3,4,5,6* sowie *GRA6#6* mit einer neuen Kalibrierung der Elektronenstrahlbedampfungsanlage durchgeführt. Diese sollte es ermöglichen, eine Katalysatorschicht mit einer Soll-Dicke von 10nm zu erhalten. Durch die neu bestimmten Parameter für die Elektronenstrahlbedampfungsanlage sollte eine bessere Kontrolle der Schichtdicken ermöglicht werden. Die AFM-Messungen der Katalysatorbereiche des Wafers *GRA7#6* zeigen allerdings, dass die Dicke der Katalysatorschicht nach Neukalibration $27\text{nm} \pm 1\text{nm}$ beträgt und damit deutlicher als zuvor von der Soll-Dicke abweicht. Die Elektronenstrahlbedampfungsanlage wurde für die Herstellung von Schichtdicken $\geq 100\text{nm}$ konstruiert. Die Herstellung von Schichtdicken von $\approx 20\text{nm}$ unterliegt scheinbar einer anderen Dynamik als die Herstellung von Schichtdicken $\geq 100\text{nm}$. Daher ist die Bestimmung der exakten Parameter für die Elektronenstrahlbedampfungsanlage recht komplex.

Die Wafer *GRA7# 2,3,9* , *GRA7# 4,5,10* sowie *GRA6# 1,6* , *GRA7#1* wurden gemeinsam prozessiert um den Einfluss der unterschiedlichen Katalysatorschichtdicken zu untersuchen (siehe Tabelle 3.5). Die Wafer *GRA7# 1,2,3,4,5,6* , *GRA6#6* weisen keine funktionierenden Bauelemente auf. Nur die Bauelemente der Wafer *GRA7# 9,10* sind teilweise funktionsfähig. Da die GFETs, welche mit der alten Kalibrierung der Elektronenstrahlbedampfungsanlage hergestellt wurden, bessere Bauelementeigenschaften aufweisen, wurde im Folgenden die alte Kalibrierung weiter verwendet.

| Charge | Wafer [#] | SiO ₂ Dicke [nm] | Al Dicke [nm] | Ni Dicke [nm] | Lift- Off [min] | O ₂ Plasma | CVD [°C] | CH ₄ [slm] | H ₂ [slm] | Kommentar |
|--------|--------------|-----------------------------------|---------------------|---------------------|-----------------------|--------------------------|-------------|--------------------------|-------------------------|------------------------------------|
| GRA7 | 1* | 100 | 10 | 10 | 20 | nein | 800 | 10,65 | 0,0 | Keine funktionierenden Bauelemente |
| | 2* | 100 | 10 | 10 | 20 | nein | 800 | 10,65 | 0,0 | Keine funktionierenden Bauelemente |
| | 3* | 100 | 10 | 10 | 20 | nein | 800 | 10,65 | 0,05 | Keine funktionierenden Bauelemente |
| | 4* | 100 | 10 | 10 | 20 | nein | 800 | 9,47 | 0,0 | Keine funktionierenden Bauelemente |
| | 5* | 100 | 10 | 10 | 20 | nein | 800 | 9,47 | 0,0 | Keine funktionierenden Bauelemente |
| | 6* | 100 | 10 | 10 | 20 | nein | 800 | 0,0 | 0,0 | CVD in Stickstoffatmosphäre |
| | 7 | 100 | 10 | 10 | 20 | nein | 800 | 0,0 | 0,0 | CVD in Stickstoffatmosphäre |
| | 8 | 100 | 10 | 10 | 20 | nein | | | | Katalysatordickenbestimmung |
| | 9 | 100 | 10 | 10 | 20 | nein | 800 | 10,65 | 0,0 | FewLGFETs, BiLGFETs |
| | 10 | 100 | 10 | 10 | 20 | nein | 800 | 9,47 | 0,0 | FewLGFETs, BiLGFETs |
| | 11 | 100 | | | | | | | | Oxiddickenbestimmung |

(*) Test eines neuen Parameters für die Elektronenstrahlbedampfung

Mechanische Reinigung der CVD-Anlage nach *GRA7*, Prozessparameter müssen neu justiert werden.

Tabelle 3.5: Übersicht über Prozessparameter der Charge *GRA7*.

Die Wafer *GRA7# 6,7* wurden in Stickstoffatmosphäre prozessiert um die Bildung der Nickel-Nano-Cluster zu untersuchen.

Aufgrund der Ergebnisse von Charge *GRA6* wurde Charge *GRA7* bei einer eingestellten Temperatur von 800 °C (900 °C Nominal-Temperatur) prozessiert. Nach der Prozessierung der Charge *GRA7* wurde die CVD-Glocke mechanisch mit einem geeigneten Schwamm gereinigt um eine besser Kontrolle über die Ist-Temperatur des CCVD-Prozesses zu erhalten. Nach der Reinigung der CVD-Kammer findet der CCVD-Prozess wieder bei einer eingestellten Temperatur von 900 °C statt. Dies sollte nach der Reinigung wieder der Nominal-Temperatur entsprechen.

3.2.6 Charge *GRA8*

Während der Prozessierung von Charge *GRA8* (siehe Tabelle 3.6) kam es bei der Lithographie mehrfach zu signifikanten Problemen, weshalb die Wafer dieser Charge mehrfach abgelackt und gereinigt werden mussten. Daher ist es wahrscheinlich, dass Verunreinigungen durch den Lack auf der Oberfläche der Wafer entstanden sind. Die Wafer *GRA8# 3,4,9*, *GRA8# 5,7* sowie *GRA6# 6,8* wurden jeweils gemeinsam prozessiert um den Einfluss geringer Schwankungen der Katalysatorschichtdicke zu untersuchen, wie sie bei Prozess begleitenden Messungen mit dem AFM festgestellt wurden. Die Unterschiede in den Schichtdicken sind technologisch bedingt, Ursache ist die Elektronenstrahlbedampfungsanlage welche für die Herstellung höherer Schichtdicken ($\geq 100\text{nm}$) konstruiert wurde. Der relative Fehler von 0,5nm bis 1nm fällt bei hohen Schichtdicken ($\geq 100\text{nm}$) geringer aus als bei der Herstellung der sehr dünnen 10nm Nickelschicht.

| Charge | Wafer [#] | SiO ₂ Dicke [nm] | Al Dicke [nm] | Ni Dicke [nm] | Lift- Off [min] | O ₂ Plasma | CVD [°C] | CH ₄ [slm] | H ₂ [slm] | Kommentar |
|--------|--------------|-----------------------------------|---------------------|---------------------|-----------------------|--------------------------|-------------|--------------------------|-------------------------|--------------------------------------|
| GRA8 | 1* | 100 | 10 | 10 | 20 | nein | 900 | 10,65 | 0,0 | metallische Kennlinie |
| | 2* | 100 | 10 | 10 | 20 | nein | 900 | 10,65 | 0,05 | Keine funktionierenden Bauelemente |
| | 3 | 100 | 10 | 10 | 20 | nein | 900 | 10,65 | 0,05 | Keine funktionierenden Bauelemente |
| | 4 | 100 | 10 | 10 | 20 | nein | 900 | 10,65 | 0,05 | Keine funktionierenden Bauelemente |
| | 5 | 100 | 10 | 10 | 20 | nein | 900 | 10,65 | 0,0 | Keine funktionierenden Bauelemente |
| | 6 | 100 | 10 | 10 | 20 | nein | 900 | 9,47 | 0,0 | Keine funktionierenden Bauelemente |
| | 7 | 100 | 10 | 10 | 20 | nein | 900 | 10,65 | 0,0 | Keine funktionierenden Bauelemente |
| | 8 | 100 | 10 | 10 | 20 | nein | 900 | 9,47 | 0,0 | Keine funktionierenden Bauelemente |
| | 9 | 100 | 10 | 10 | 20 | nein | 900 | 10,65 | 0,05 | Keine funktionierenden Bauelemente |
| | 10 | 100 | | | | | | | | Eumelwafer \Rightarrow <i>GRA9</i> |
| | 11 | 100 | | | | | | | | Oxiddickenbestimmung |

(*)Zusätzlich 2nm Palladium auf Katalysatorschicht
Lithographieprobleme \Rightarrow Charge *GRA8* fehlerhaft

Tabelle 3.6: Übersicht über Prozessparameter der Charge *GRA8*.

In Charge *GRA5* wurde bereits versucht, den maximalen Stromfluss der GFETs von Drain nach Source zu erhöhen. Hierfür wurde zunächst die Dicke der Nickelschicht des Katalysators erhöht. Da die Dicke der Nickelschicht das Clusterwachstum beeinflusst, konnten keine funktionierenden GFETs hergestellt werden. In Charge *GRA8* wird nun versucht durch Verringerung des Widerstands der Zuleitung den maximalen Stromfluss zu erhöhen. Im Gegensatz zur Erhöhung der Nickelschichtdicke wird hier eine zusätzliche Schicht Palladium eingefügt. Hierfür wurden bei den Wafern *GRA8# 1,2* eine 2nm dünne Palladiumschicht auf die Nickeloberfläche abgeschieden. Ziel ist es mit Hilfe der dünnen Palladiumschicht (Pd) die Entstehung der Kohlenstoffablagerungen auf dem Katalysator zu unterbinden, den Katalysator somit teilweise zu passivieren. Dadurch wird der Zuleitungswiderstand verringert um den Stromfluss von Drain nach Source zu vergrößern. Eine schematische Darstellung ist in Abbildung 3.5 dargestellt. Wenn der Unterschnitt des doppellagigen Lift-Off Systems klein ist (siehe Abbildung 2.16), liegt an den Kanten des Katalysators die Nickelschicht frei und die Nickel-Nano-Cluster entstehen während des Ausheizens. Ist der Unterschnitt zu klein, bedeckt das Palladium auch die Kanten des Katalysators. Dann können an der Kante des Katalysators keine Nickel-Nano-Cluster entstehen und es wächst kein Graphen während des CCVD-Prozesses.

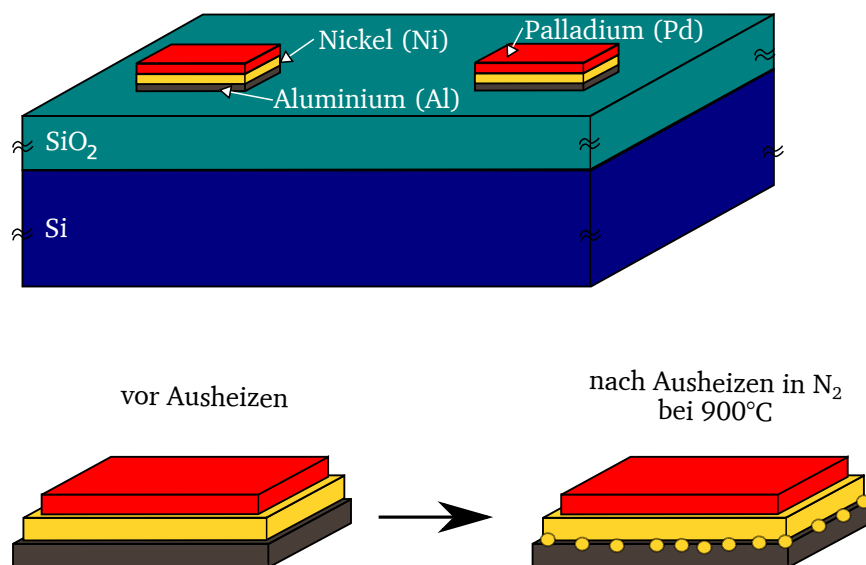


Abbildung 3.5: Schematische Darstellung der Katalysatorschicht eines GFETs mit einer zusätzlichen Schicht von 2nm Palladium (Pd).

Nur bei Wafer *GRA8#1* konnte ein Stromfluss zwischen den Anschlüssen Source und Drain der Bauelemente gemessen werden. Alle anderen Bauelemente dieser Charge sind nicht funktionsfähig. Ursache hierfür sind vermutlich Oberflächenverunreinigungen welche von Lithographieproblemen herrühren und/oder ein zu geringer Unterschnitt. Der Stromfluss zwischen Drain und Source der GFETs von Wafer *GRA8#1* ist um etwa eine Größenordnung höher als der vergleichbarer GFETs ohne Palladiumschicht. Die teilweise Passivierung des Katalysators mit Palladium

kann damit genutzt werden, um den Widerstand der Zuleitung zu verringern und damit den maximalen Strom zu erhöhen. Eine zusätzliche Maske und ein weiterer Lithographieprozessschritt für die Elektronenstrahlbedampfung des Palladiums können eine größere Ausbeute funktionsfähiger GFETs ermöglichen.

3.2.7 Charge GRA9

Bei den Wafern *GRA9# 1,2,3,4* wurde die Testreihe aus Charge *GRA7* wiederholt (siehe Tabelle 3.7). Auch die Bauelemente der Charge *GRA9* zeigen bei der elektrischen Charakterisierung keine Funktionsfähigkeit. Daher liegt die Vermutung nahe, dass die mechanische Reinigung der CVD-Glocke vor der Prozessierung von Charge *GRA8* nicht erfolgreich war. Die CVD-Glocke wurde wiederholt gereinigt, diesmal allerdings mit Hilfe einer Ätzmischung aus Flusssäure, Essigsäure und Salpetersäure. Es wurden zwar die Wände und die Fenster der Reaktorkammer von Verunreinigungen befreit, die aggressive Reinigung mit Säure hatte allerdings zur Folge, dass das Fenster an der Oberseite der Reaktorkammer blind wurde. Dies führt zu einer ähnlichen Problematik der Einstellung der Prozesstemperatur wie es zuvor durch die Verunreinigungen der Fall war.

| Charge | Wafer [#] | SiO ₂ Dicke [nm] | Al Dicke [nm] | Ni Dicke [nm] | Lift- Off [min] | O ₂ Plasma | CVD [°C] | CH ₄ [slm] | H ₂ [slm] | Kommentar |
|--------|--------------|-----------------------------------|---------------------|---------------------|-----------------------|--------------------------|-------------|--------------------------|-------------------------|------------------------------------|
| GRA9 | 1* | 50 | 7 | 3 | 20 | nein | 900 | 10,65 | 0,0 | Keine funktionierenden Bauelemente |
| | 2* | 50 | 7 | 3 | 20 | nein | 900 | 10,65 | 0,05 | Keine funktionierenden Bauelemente |
| | 3* | 50 | 7 | 3 | 20 | nein | 900 | 9,47 | 0,0 | Keine funktionierenden Bauelemente |
| | 4* | 50 | 7 | 3 | 20 | nein | 900 | 9,47 | 0,05 | Keine funktionierenden Bauelemente |
| | 5 | 50 | 10 | 10 | 20 | nein | 900 | 10,65 | 0,0 | Keine funktionierenden Bauelemente |
| | 6 | 50 | 10 | 10 | 20 | nein | 900 | 10,65 | 0,05 | Keine funktionierenden Bauelemente |
| | 7 | 50 | 10 | 10 | 20 | nein | 900 | 9,47 | 0,0 | Keine funktionierenden Bauelemente |
| | 8 | 50 | 10 | 10 | 20 | nein | 900 | 9,47 | 0,05 | Keine funktionierenden Bauelemente |
| | 9 | 50 | 10 | 10 | 20 | nein | 850 | 10,65 | 0,05 | Keine funktionierenden Bauelemente |
| | 10 | 50 | 10 | 10 | 20 | nein | 850 | 10,65 | 0,0 | Keine funktionierenden Bauelemente |

(*) Test eines neuen Parameters für die Elektronenstrahlbedampfung

Lithographieprobleme sowie teilweise große Leckströme in das Oxid ⇒ Charge *GRA9* fehlerhaft

Chemische Reinigung der CVD-Anlage nach *GRA9*, Prozessparameter müssen neu justiert werden.

Tabelle 3.7: Übersicht über Prozessparameter der Charge *GRA9*.

3.2.8 Charge *GRA10*

Nach der Reinigung der CVD-Glocke müssen die CCVD-Prozessparameter erneut justiert werden. Für die Prozessierung der Wafer der Charge *GRA10* wurde die Mischung des Prozessgases aus Charge *GRA4* gewählt und die eingestellte Temperatur an der CVD Anlage so durchgeführt, dass funktionsfähige GFETs hergestellt werden konnten. Es stellte sich heraus, dass eine eingestellte Temperatur von 800 °C, einer Temperatur von 900 °C bei angeätzter Schauglasoberfläche der CVD-Reaktorkammer entspricht. In Kombination mit der Prozessgasmischung von 10,65 slm CH₄; 0slm H₂ beziehungsweise 10,65 slm CH₄; 0,05 slm H₂ konnten BiLGFETs mit sehr guten elektrischen Eigenschaften hergestellt werden (siehe Tabelle 3.8).

| Charge | Wafer [#] | SiO ₂ Dicke [nm] | Al Dicke [nm] | Ni Dicke [nm] | Lift- Off [min] | O ₂ Plasma | CVD [°C] | CH ₄ [slm] | H ₂ [slm] | Kommentar |
|--------|--------------|-----------------------------------|---------------------|---------------------|-----------------------|--------------------------|-------------|--------------------------|-------------------------|------------------------------------|
| GRA10 | 1 | 100 | 10 | 10 | 20 | | | | | Lift-Off Probleme |
| | 2 | 100 | 10 | 10 | 20 | | | | | Lift-Off Probleme |
| | 3 | 100 | 10 | 10 | 20 | nein | 900 | 10,65 | 0,0 | Keine funktionierenden Bauelemente |
| | 4 | 100 | 10 | 10 | 20 | nein | 800 | 10,65 | 0,0 | BiLGFETs, FewLGFETs |
| | 5 | 100 | 10 | 10 | 20 | nein | 800 | 10,65 | 0,05 | BiLGFETs, FewLGFETs |
| | 6 | 100 | 10 | 10 | 20 | nein | 850 | 10,65 | 0,05 | Keine funktionierenden Bauelemente |
| | 7 | 100 | 10 | 10 | 20 | nein | | | | Oxiddickenbestimmung |
| | 8 | 100 | 10 | 10 | 20 | | | | | Zerbrochen |
| | 9 | 100 | 10 | 10 | 20 | nein | 900 | 10,65 | 0,05 | wenige funktionierende FewLGFETs |
| | 10 | 100 | 10 | 10 | 20 | nein | 800 | 9,47 | 0,05 | wenige BiLGFETs, viele FewLGFETs |

Tabelle 3.8: Übersicht über Prozessparameter der Charge *GRA10*.

3.2.9 Charge *GRA11*

Für die Prozessierung von Charge *GRA4* wurde das Sauerstoffplasma für die Behandlung des Katalysators verworfen, um die Größe der Nickel-Nano-Cluster zu verändern. Charge *GRA11* wurde genutzt um im direkten Vergleich zwischen Wafern mit und ohne Behandlung des Katalysators durch Sauerstoffplasma den Einfluss auf die Nickel-Nano-Cluster untersuchen zu können (siehe Tabelle 3.9). Hierfür wurden die Wafer *GRA11*# 1,4 ; # 2,5 ; # 3,6 jeweils gemeinsam prozessiert. Die elektrische Charakterisierung der GFETs der sechs Wafer zeigt einen höheren Anteil an funktionsfähigen GFETs mit besseren elektrischen Eigenschaften der GFETs wenn diese ohne Sauerstoffplasma hergestellt wurden. Daher wurde die Behandlung des Katalysators durch Sauerstoffplasma nicht weiter verfolgt. Bei den Wafern *GRA11*# 7,8,9,10 wurden zusätzlich auf den Katalysator 2nm Palladium abgeschieden um den Kontaktwiderstand zu verringern, in Fortführung der guten Ergebnisse aus Charge *GRA8*. Auf keinem der Wafer gibt es funktionie-

rende GFETs. Ursache ist ein zu kleiner Unterschnitt während der Elektronenstrahlverdampfung des Palladiums wodurch die gesamte Katalysatoroberfläche mit Palladium bedeckt ist. Mangels freiliegender Katalysatoroberfläche wird das Wachstum von Graphen unterbunden.

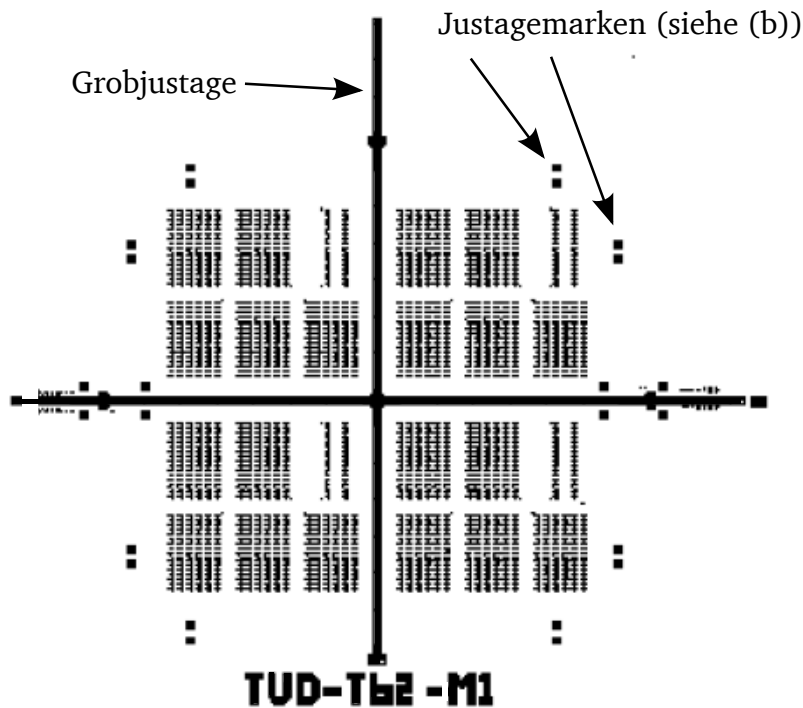
| Charge | Wafer [#] | SiO ₂ Dicke [nm] | Al Dicke [nm] | Ni Dicke [nm] | Lift- Off [min] | O ₂ Plasma | CVD [°C] | CH ₄ [slm] | H ₂ [slm] | Kommentar |
|--------|--------------|-----------------------------------|---------------------|---------------------|-----------------------|--------------------------|-------------|--------------------------|-------------------------|------------------------------------|
| GRA11 | 1 | 100 | 10 | 10 | 20 | ja | 800 | 10,65 | 0,05 | FewLGFETs |
| | 2 | 100 | 10 | 10 | 20 | ja | 800 | 9,47 | 0,05 | FewLGFETs, BiLGFETs |
| | 3 | 100 | 10 | 10 | 20 | ja | 800 | 10,65 | 0,0 | Keine funktionierenden Bauelemente |
| | 4 | 100 | 10 | 10 | 20 | nein | 800 | 10,65 | 0,05 | FewLGFETs, BiLGFETs |
| | 5 | 100 | 10 | 10 | 20 | nein | 800 | 9,47 | 0,05 | FewLGFETs, BiLGFETs |
| | 6 | 100 | 10 | 10 | 20 | nein | 800 | 10,65 | 0,0 | FewLGFETs, BiLGFETs |
| | 7* | 100 | 10 | 10 | 20 | nein | | | | Katalysatorschicht fehlerhaft |
| | 8* | 100 | 10 | 10 | 20 | nein | 800 | 9,47 | 0,05 | Keine funktionierenden Bauelemente |
| | 9* | 100 | 10 | 10 | 20 | nein | 800 | 7,10 | 0,05 | Keine funktionierenden Bauelemente |
| | 10* | 100 | 10 | 10 | 20 | nein | 800 | 5,92 | 0,0 | Keine funktionierenden Bauelemente |

(*) Zusätzlich 2nm Palladium auf Katalysatorschicht, # 1/4; #2/5; #3/6 gemeinsam CVD

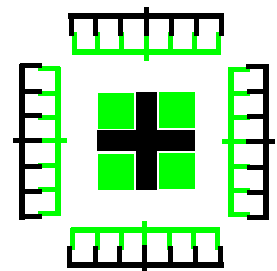
Tabelle 3.9: Übersicht über Prozessparameter der Charge *GRA11*.

3.2.10 Charge *GRA12*

Auf Basis der Vorversuche zur Erhöhung des maximalen Stromflusses eines BiLGFET in Charge *GRA8* wurde für Charge *GRA12* ein neues Maskenlayout mit mehreren Maskenebenen entworfen. Im ersten Schritt wird mit der Basismaske TUD-T62-M1 der Katalysator wie bisher strukturiert. Anschließend wird in einem weiteren Lithographieschritt Palladium auf die Wafer-Oberfläche aufgebracht. Hierzu gibt es zwei weitere Masken, TUD-T62-M2A und M2B. Abbildung 3.6 zeigt das Maskenlayout der Ebene M1 sowie eine schematische Darstellung der Ebenen M2A und M2B. Bisher ist es nur bei Wafer *GRA8#8* gelungen die Oberfläche des Katalysators mit Palladium zu passivieren ohne die Kanten der Nickelschicht mit Palladium zu bedecken. Mit Hilfe des zusätzlichen Lithographieschritts nach Variante B (siehe Abbildung 3.6(c)) soll der Widerstand der Zuleitung verringert werden, ohne dass das Palladium das Wachstum von Graphen im Kanalbereich beeinflusst. Mit den verwendeten Vernier-Justagemarken (siehe Abbildung 3.6(b)) sollte eine Positionierungsgenauigkeit von 500nm erreicht werden können. Die schwarz dargestellten Elemente der Justagemarke befinden sich hierbei auf der Ebene M1, die grünen Elemente auf den Ebenen M2A und M2B. Im Gegensatz zur bisher verwendeten Maske TUD-T61-1P1 sind bei dem Maskensatz T62 alle vier Quadranten gleich und können somit alle für die Herstellung von GFETs genutzt werden. Tabelle 3.10 beinhaltet die Prozessparameter von Charge *GRA12*. Die Wafer *GRA12# 3,4,5,6,8,9,10* wurden genutzt um erste Tests mit dem Maskensatz TUD-T62 durchzuführen. Bei den *GRA12# 3,5,6,8,9,10* wurde vor dem CCVD-Prozess zusätzlich auf das Aluminium/Nickel-Katalysatorsystem 10 nm Palladium mit Hilfe eines zu-

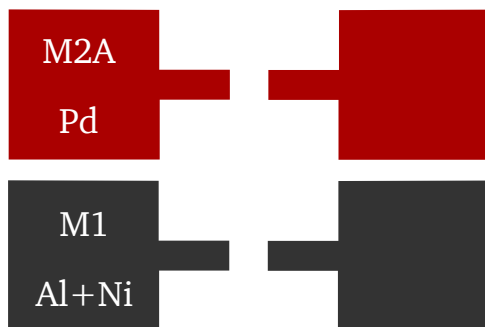


(a) Layout der Maske TUD-T62-M1

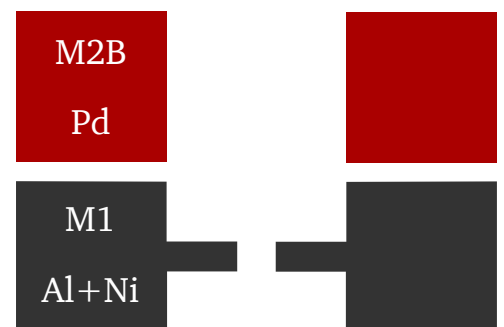


(b) Vernier-Justagemarke

Variante A



Variante B



(c) Schematische Darstellung der Maskenebenen anhand einer GFET-Struktur

Abbildung 3.6: (a) Layout der Maske TUD-T62-M1 zur Strukturierung des Katalysators, welcher aus Aluminium und Nickel besteht. (b) Vernier-Justagemarken. (c) Schematische Darstellung der Maskenebenen M2A und M2B zur Passivierung des Katalysators mit einem weiteren, den Kontaktwiderstand senkenden Metall, beispielsweise Palladium (Pd).

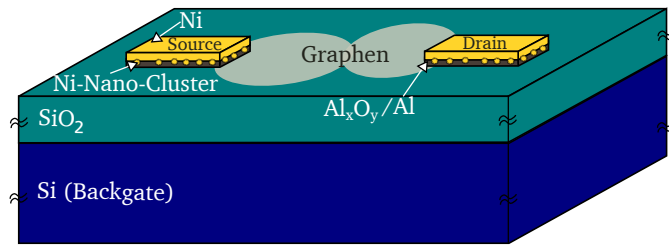
sätzlichen Lithographieschrittes unter Verwendung von Maske TUD-T62-M2B aufgebracht. Die elektrische Charakterisierung zeigt bei Wafer *GRA12#6* einen hohen Anteil funktionsfähiger BiLGFETs mit sehr guten elektrischen Eigenschaften bezüglich des I_{ON}/I_{OFF} -Verhältnisses. Das Palladium, welches unter Verwendung von Maske TUD-T62-M2B vor dem CCVD-Prozess aufgebracht wird, kann nur den Widerstand der Zuleitung verringern (siehe Kapitel 4.5). Um darüber hinaus den Kontaktwiderstand zu verringern muss nach dem Wachstumsprozess ein Metallkontakt auf der Wafer-Oberfläche strukturiert werden, welcher direkt mit dem Graphen in Kontakt ist.

| Charge | Wafer [#] | SiO ₂ Dicke [nm] | Al Dicke [nm] | Ni Dicke [nm] | Pd Dicke [nm] | Lift- Off [min] | O ₂ Plasma | CVD [°C] | CH ₄ [slm] | H ₂ [slm] | Kommentar |
|--------|------------------|-----------------------------------|---------------------|---------------------|---------------------|-----------------------|--------------------------|-------------|--------------------------|-------------------------|----------------------------------|
| GRA12 | 1 | 100 | 10 | 10 | | | nein | | | | Prozessfehler bei Metallisierung |
| | 2 | 100 | 10 | 10 | | | nein | | | | Prozessfehler bei Metallisierung |
| | 3 ^{*B} | 100 | 10 | 10 | 10 | 20 | nein | 800 | 10,65 | 0,0 | Pd vor CCVD, FewLGFETs |
| | 4 ^{*A} | 100 | 10 | 10 | 70 | 20 | nein | 800 | 10,65 | 0,0 | Pd nach CCVD, FewLGFETs |
| | 5 ^{*B} | 100 | 10 | 10 | 10 | 20 | nein | 800 | 0,0 | 0,0 | Pd vor CVD in N ₂ |
| | 6 ^{*B} | 100 | 10 | 10 | 10 | 20 | nein | 800 | 10,65 | 0,05 | Pd vor CCVD, BiLGFETs |
| | 7 ^{*A} | 100 | 10 | 10 | 70 | 20 | nein | 800 | 9,47 | 0,05 | Pd nach CCVD, BiLGFETs |
| | 8 ^{*B} | 100 | 10 | 10 | 10 | 20 | nein | | | | für AFM Messungen ohne CCVD |
| | 9 ^{*B} | 100 | 10 | 10 | 10 | 20 | nein | 800 | 10,65 | 0,10 | Pd vor CCVD, FewLGFETs |
| | 10 ^{*B} | 100 | 10 | 10 | 10 | 20 | nein | 800 | 9,47 | 0,05 | Pd vor CCVD |

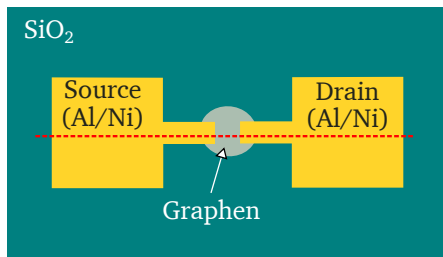
Palladium strukturiert mit Maske (^{*A}) TUD-T62-M2A oder Maske (^{*B}) TUD-T62-M2B

Tabelle 3.10: Übersicht über Prozessparameter der Charge *GRA12*.

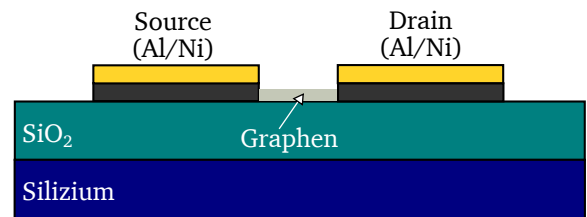
Ausgehend von den bisher hergestellten BiLGFETs werden auf dem Wafer *GRA12#7* BiLGFETs der zweiten Generation hergestellt. Bei diesen wird durch Kontaktierung des Graphens mit Palladium der Kontaktwiderstand verringert. Als Basis für diesen Prozess wird der fertig prozessierte BiLGFET der ersten Generation genutzt, wie in Abbildung 3.7(a) dargestellt ist. Abbildung 3.7(b) zeigt die Aufsicht auf die Wafer-Oberfläche des BiLGFETs der ersten Generation. Zur schematischen Darstellung des Herstellungsprozesses von BiLGFETs der zweiten Generation ist in Abbildung 3.7(c) der Querschnitt des BiLGFETs der ersten Generation dargestellt. Um die Palladiumkontakte zu realisieren wird wiederum das doppelagige Lift-Off System (DLOS) aufgebracht, wie in Abbildung 3.7(d) gezeigt und mit Hilfe von Maskenebene M2A die Struktur der Palladiumkontakte auf den Photolack übertragen. Abbildung 3.7(e) zeigt den schematischen Querschnitt nach der Lithographie. Im Anschluss wird die gesamte Wafer-Oberfläche mittels Elektronenstrahlbedampfung mit einer 70nm dicken Palladiumschicht überzogen, siehe Abbildung 3.7(f). Der Querschnitt des fertig prozessierten BiLGFETs der zweiten Generation ist in Abbildung 3.7(g) dargestellt. Die Graphenschicht wird nun direkt mittels Palladium kontaktiert. Die für den Wachstumsprozess notwendige Schicht aus Aluminium und Nickel befindet sich unterhalb des Palladiums. Da das verwendete doppelagige Lift-Off System eine Gesamtdicke von $3,7\mu\text{m}$ besitzt, ist das Palladium, welches sich auf dem DLOS befindet, von den Palladium-



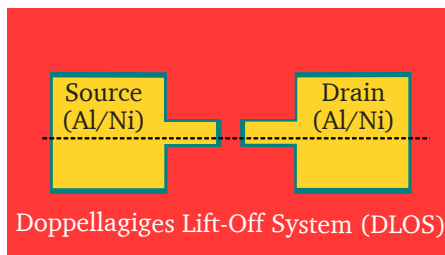
(a) Schematische Darstellung eines GFETs der ersten Generation.



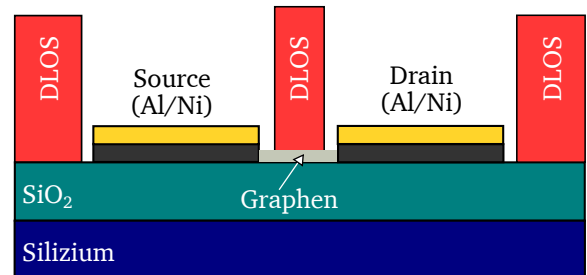
(b) Aufsicht auf die Wafer-Oberfläche von (a).



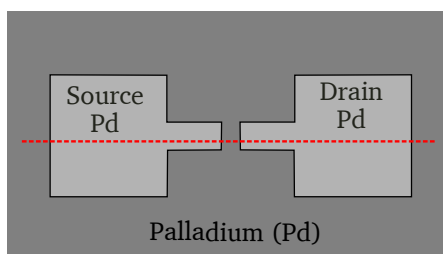
(c) Schnitt entlang der roten Linie in (b).



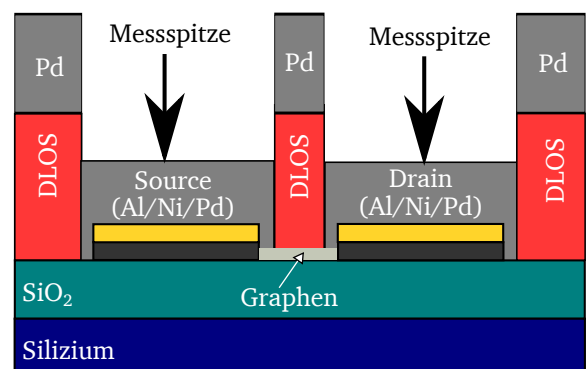
(d) Wafer-Oberfläche nach Lithographie mit Maske TUD-T62-M2A.



(e) Schnitt entlang der schwarzen Linie in (c).



(f) Wafer-Oberfläche nach Elektronenstrahlbedampfung von Palladium.



(g) Schnitt entlang der roten Linie in (d). Schematische Darstellung eines GFETs der zweiten Generation.

Abbildung 3.7: Herstellung von GFETs der zweiten Generation.

kontakten getrennt. Die Source- und Drain-Anschlüsse können wie bisher mit den Messspitzen kontaktiert werden um die elektrische Charakterisierung des BiLGFETs durchführen zu können. Zusätzlich wird das Graphen durch das doppelagige Lift-Off System vor Umwelteinflüssen, wie beispielsweise Wasser in der Luft, geschützt.

3.2.11 Beste Prozessparameterkombinationen für die GFET-Herstellung

Die Prozessierung der insgesamt 10 Chargen zeigte, dass eine Prozesstemperatur von 900°C in Kombination mit jeweils 10nm Aluminium und Nickel günstig für das Wachstum von Graphenschichten ist. Je nach Wahl der Zusammensetzung des Prozessgases bestehend aus Methan und Wasserstoff wächst einlagiges, zweilagiges oder mehrlagiges Graphen während des 45 minütigen CCVD-Prozesses. Die für die Herstellung von GFETs am besten geeigneten Parameterkombinationen sind in Tabelle 3.11 zusammengestellt.

| GFET Typ | SiO ₂ Dicke [nm] | Al Dicke [nm] | Ni Dicke [nm] | Lift- Off [min] | O ₂ Plasma | CVD [°C] | CH ₄ [slm] | H ₂ [slm] |
|-------------|-----------------------------------|---------------------|---------------------|-----------------------|--------------------------|-------------|--------------------------|-------------------------|
| MoLGFET | 100 | 10 | 10 | 20 | nein | 900 | 3,55 | 0,05 |
| MoLGFET | 100 | 10 | 10 | 20 | nein | 900 | 3,55 | 0,0 |
| MoLGFET | 100 | 10 | 10 | 20 | nein | 900 | 10,65 | 0,05 |
| MoLGFET | 100 | 10 | 10 | 20 | nein | 900 | 9,47 | 0,05 |
| BiLGFET | 100 | 10 | 10 | 20 | nein | 900 | 10,65 | 0,0 |
| BiLGFET | 100 | 10 | 10 | 20 | nein | 900 | 9,47 | 0,0 |

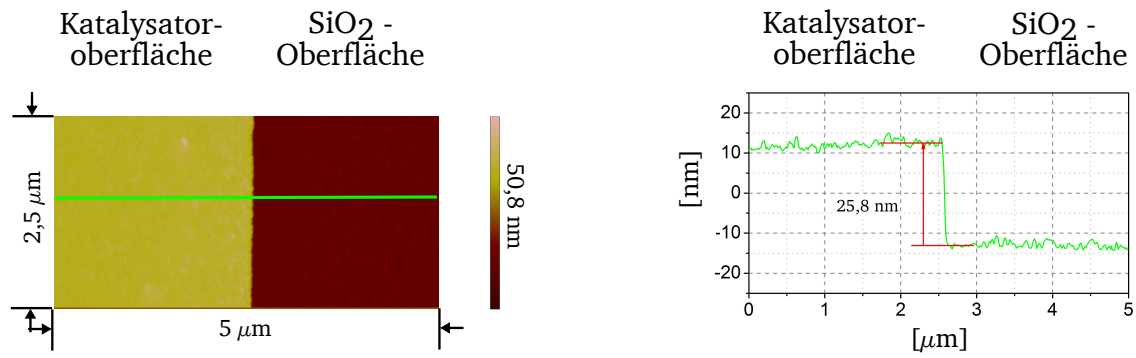
Tabelle 3.11: Beste Prozessparameterkombinationen für die GFET-Herstellung.

3.3 Strukturelle Analyse des Katalysators

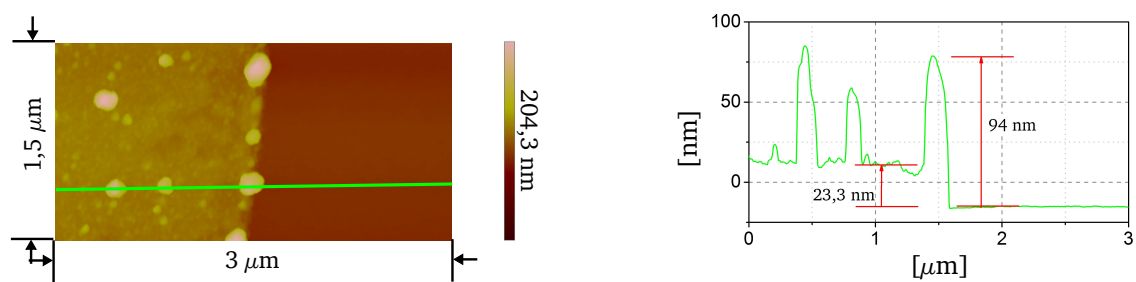
Während des CCVD basierten Wachstums von Graphenschichten entstehen sekundäre, unerwünschte Kohlenstoffablagerungen auf der Katalysatoroberfläche. Um die Veränderung des Katalysators während des CCVD-Prozesses zu untersuchen, wurden zwei Wafer der Charge *GRA7* vollständig inert in Stickstoffatmosphäre prozessiert. Es entsteht hierbei kein Graphen und die Wafer können nicht mehr zur Herstellung von GFETs verwendet werden. Die Veränderung des Katalysators durch die Prozesstemperatur von 900 °C kann nun untersucht werden, da sich kein Kohlenstoff auf dem Katalysator ablagert. Zur Untersuchung dieser Proben wurde das AFM verwendet um Informationen über die Höhe der Nickel-Nano-Cluster und deren Verteilung auf dem Katalysator zu erhalten. Desweiteren wurde die Katalysatoroberfläche von funktionsfähigen GFETs mittels REM untersucht. Eine TEM-Untersuchung des Katalysators lässt Schlüsse über die Veränderungen der Übergänge zwischen Nickel, Aluminium, Siliziumdioxid und Silizium durch den CCVD-Prozess zu.

3.3.1 AFM-Analyse des Katalysators

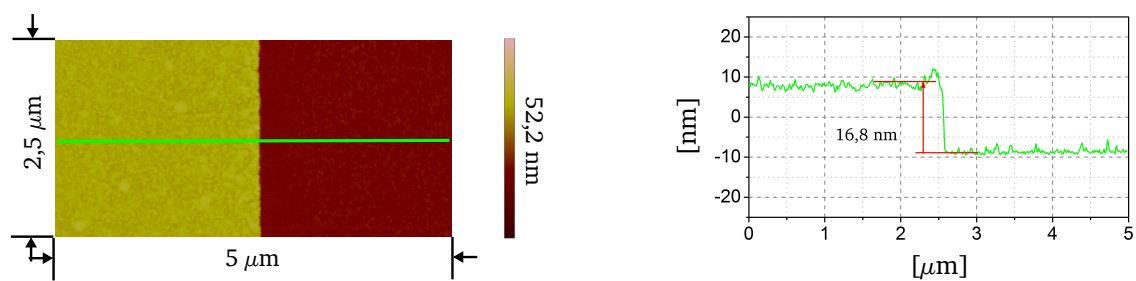
Zur Analyse der Proben wurden zunächst das am IHTN vorhandene AFM *Veeco Dimension 3100* verwendet. Abbildung 3.8 zeigt die AFM-Aufnahmen der Wafer *GRA7#6* und *GRA7#7* vor und nach der inerten Prozessierung am Übergang vom Katalysator zum Siliziumdioxid. Die Gesamthöhe der Katalysatorschicht von Wafer *GRA7#6* beträgt etwa 25,8nm (siehe Abbildung 3.8(a)), die Katalysatorschicht wurde mit einem Testparameter für die Elektronenstrahlverdampfung prozessiert. Die Katalysatorschicht von Wafer *GRA7#7* wurde mit dem Standardparameter aufgedampft, die Dicke beträgt 16,8nm (siehe Abbildung 3.8(c)). Die unterschiedliche Dicke des Katalysators führt nach dem CCVD-Prozess zu deutlich unterschiedlichen Ergebnissen. Wafer *GRA7#6* weist wenige Nickel-Nano-Cluster mit einer Höhe von etwa 70nm auf, wie aus Abbildung 3.8(b) hervorgeht. Im Vergleich dazu befinden sich auf der Katalysatoroberfläche des Wafers *GRA7#7* Nickel-Nano-Cluster mit einer Höhe von etwa 10 bis 15nm in hoher Dichte (siehe Abbildung 3.8(d)). Hierbei ist die Dichte der Nickel-Nano-Cluster auf der Katalysatoroberfläche deutlich größer als dies bei günstigen Wachstumsbedingungen für CNTs der Fall ist. Dies geht aus dem Vergleich der Abbildungen 3.3(c) und 3.8(d) hervor. Des weiteren wurden Wafer, welche mit altem und neuen Parameter für die Elektronenstrahlverdampfung prozessiert wurden, gleichzeitig in der CCVD-Reaktorkammer in einem Methan/Wasserstoff-Gemisch prozessiert. Auf den Wafer mit neuen Parameter für die Elektronenstrahlverdampfung befanden sich keine funktionsfähigen GFETs, während auf den Wafer mit altem Parameter funktionsfähige



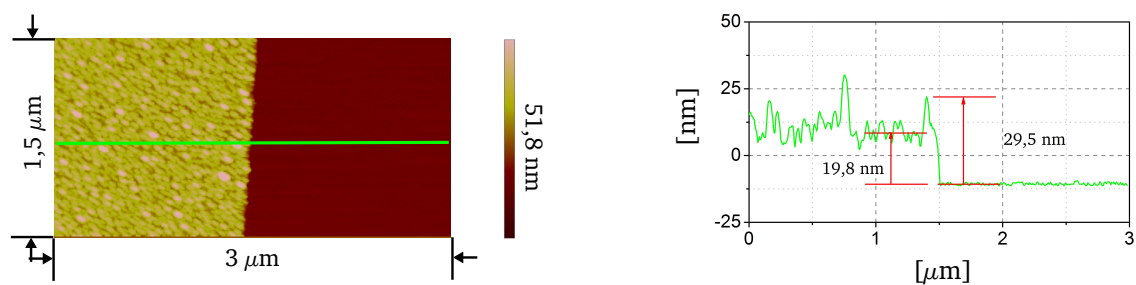
(a) GRA7#6-F5040 vor CVD in N_2



(b) GRA7#6-F5040 nach CVD in N_2



(c) GRA7#7-F5040 vor CVD in N_2



(d) GRA7#7-F5040 nach CVD in N_2

Abbildung 3.8: Vergleich der Katalysatorstruktur verschiedener GFETs mittels AFM-Analyse.

hige GFETs nachgewiesen werden konnten. Dies legt die Schlussfolgerung nahe, dass für das Wachstum von Graphen Nickel-Nano-Cluster mit einer Höhe von etwa 10 bis 15nm in großer Dichte benötigt werden.

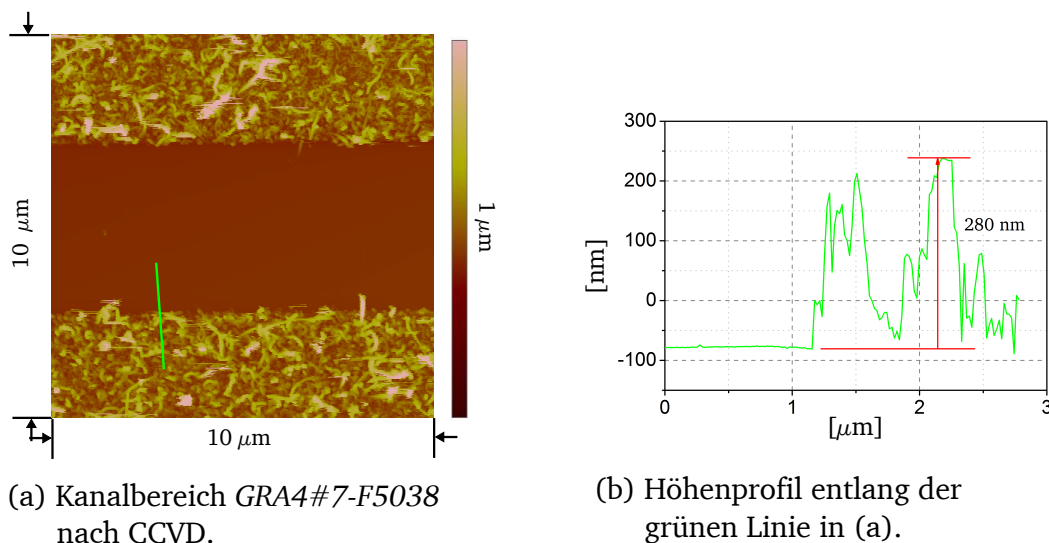


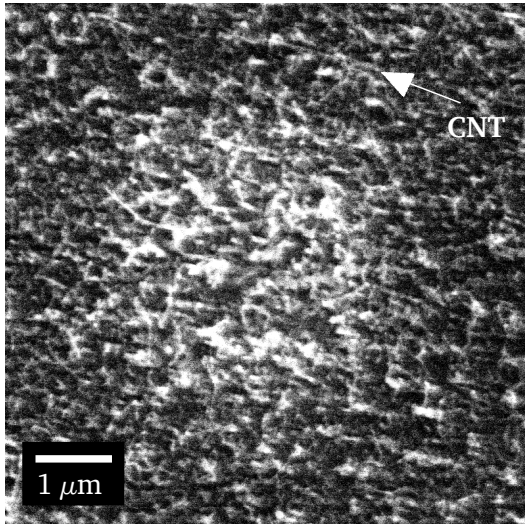
Abbildung 3.9: AFM-Analyse der Katalysatoroberfläche nach CCVD.

Abbildung 3.9(a) zeigt eine AFM-Analyse der Katalysatoroberfläche und des Kanals des Transistors *GRA4#7-F5038*. Auf der Katalysatorschicht hat sich während des CCVD-Prozesses eine bis zu mehreren hundert Nanometer hohe Kohlenstoffablagerung gebildet.

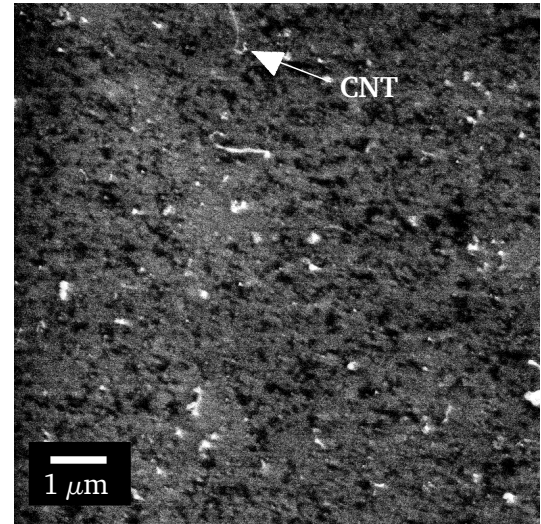
3.3.2 REM-Analyse des Katalysators

Die Kohlenstoffablagerungen auf der Katalysatoroberfläche machen die Analyse mittels AFM schwierig. Das Resultat ist meist unvollständig, da die inhomogene Oberfläche schlecht abzutasten ist und während der Analyse häufig Kohlenstoff an der AFM-Spitze haften bleibt, welcher das Ergebnis verfälscht. Eine Alternative ist die Analyse mittels REM. Hierzu wurde das am IHTN vorhandene REM *Hitachi S806C* verwendet. Die Ergebnisse sind in Abbildung 3.10 dargestellt. Es zeigen sich deutliche Unterschiede der Kohlenstoffablagerungen zwischen Abbildung 3.10(a) und 3.10(b) welche aus den verschiedenen Prozessbedingungen für den MoLGFET beziehungsweise den BiLGFET resultieren (siehe Tabelle 3.2). Auf der Katalysatoroberfläche des MoLGFETs befinden sich viele CNTs während auf der Katalysatoroberfläche des BiLGFETs nur wenig CNTs zu finden sind.

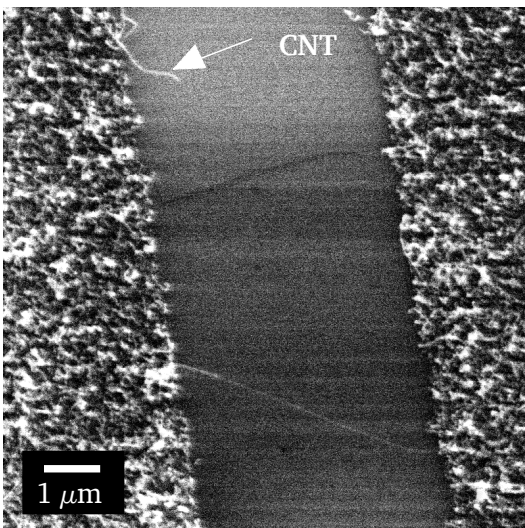
Die Abbildung 3.10(c) und 3.10(d) zeigen die Kante des Katalysatorbereichs am Übergang zum Kanal eines MoLGFETs sowie eines BiLGFETs. Die Kohlenstoffablagerungen der MoLGFETs sind am Übergang zum Kanalbereich stärker ausgeprägt als es bei dem BiLGFET der Fall ist.



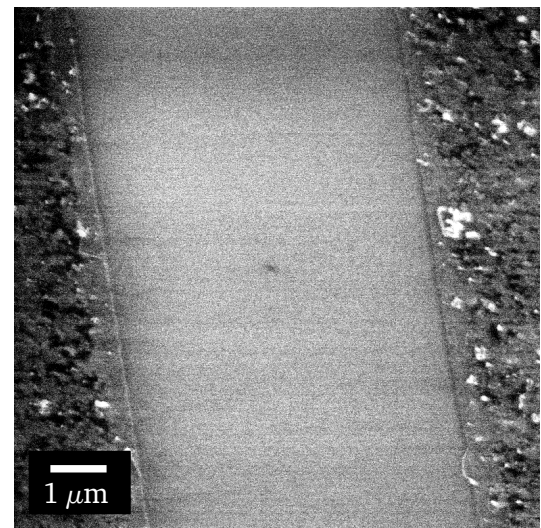
(a) Katalysatoroberfläche MoLGFET
GRA4#7-F5040 nach CCVD.



(b) Katalysatoroberfläche BiLGFET
GRA4#3-F5038 nach CCVD.



(c) Kanalbereich MoLGFET
GRA4#7-F5040 nach CCVD.

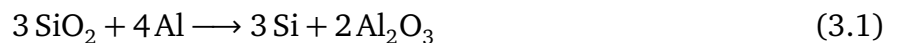


(d) Kanalbereich *GRA4#3-F5060*
nach CCVD.

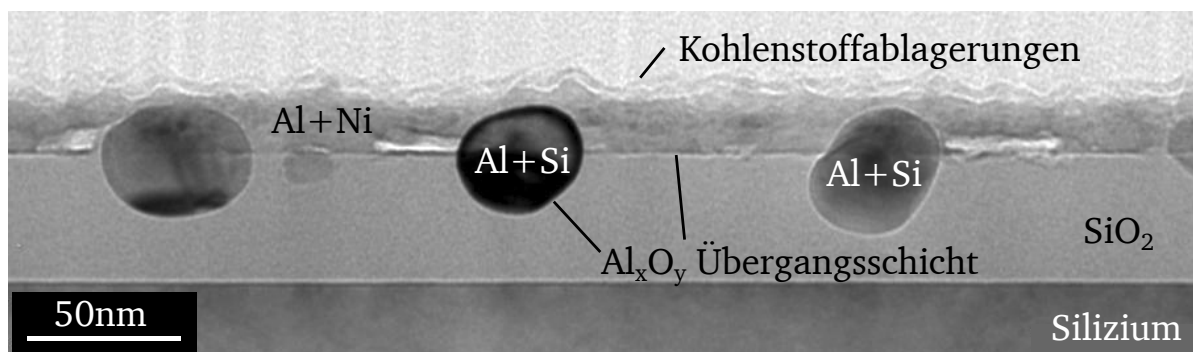
Abbildung 3.10: Vergleich der Katalysatorstruktur verschiedener GFETs mittels REM-Aufnahmen.

3.3.3 TEM-Analyse des Katalysators

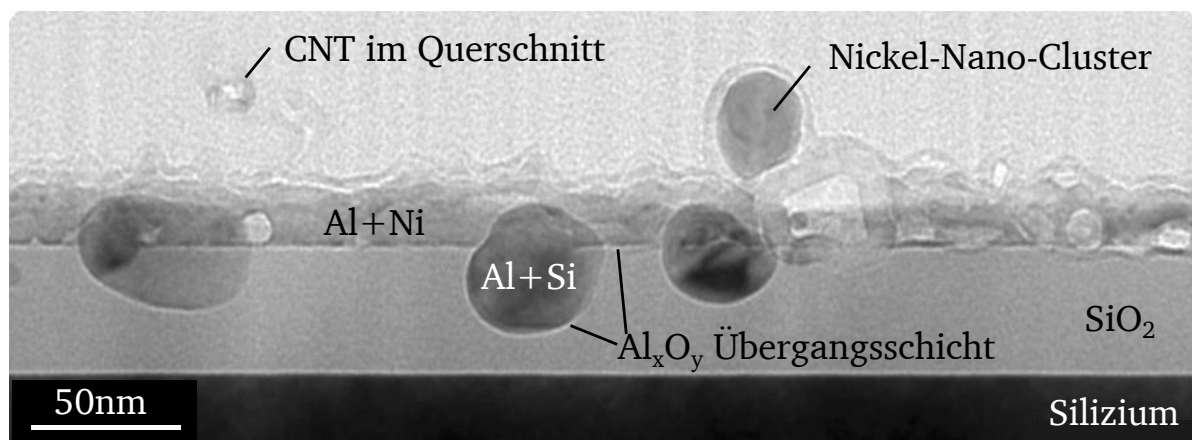
In Abbildung 3.11 ist eine TEM-Analyse des Katalysatorbereichs im Querschnitt dargestellt (50nm SiO₂, 10nm Al, 10nm Ni, 900 °C, 10,65 slm CH₄). Bei einer Prozesstemperatur von 900°C wird das Aluminium flüssig (Schmelzpunkt bei 660°C). Aluminium bildet in Reaktion mit Siliziumdioxid Al₂O₃, das Siliziumdioxid wird reduziert:



Dadurch entsteht eine Al_xO_y-Schicht am Übergang zwischen der Aluminiumschicht und dem Siliziumdioxid. Al₂O₃ besitzt einen Schmelzpunkt von 2050°C und ist bei dem verwendeten Prozessparametern ein Feststoff. Das aus der Reaktion verbleibende Silizium scheint mit weiterem Aluminium eine Al+Si Phase zu bilden, wodurch Al/Si-Cluster entstehen. Im Gegensatz zum Aluminium liegt der Schmelzpunkt von Nickel bei 1455°C. Wie bereits diskutiert bildet das Nickel nur Nano-Cluster wenn es eine Unterlage aus Aluminium gibt. Durch das bei 900°C flüssige Aluminium, welches mit dem Silizium reagiert und sich dadurch umverteilt, wird das Nickel teilweise zu Nickel-Nano-Clustern „zusammengeschoben“. Die in Abbildung 3.8(b) dargestellten Nickel-Nano-Cluster sind in Gestalt und Größe mit dem Nickel-Nano-Cluster aus Abbildung 3.11 vergleichbar. Da, wie in Abbildung 3.8(b) zu sehen, die Verteilung der Nickel-Nano-Cluster unregelmäßig ist, erklärt dies, weshalb in Abbildung 3.11(a) kein Nickel-Nano-Cluster vorhanden ist. Zusätzlich ist im Übergangsbereich zwischen Aluminium und Nickel auch bei 900°C die Bildung einer Al+Ni Phase möglich [51].



(a) TEM-Aufnahme des Querschnitts des Katalysatorbereichs



(b) TEM-Aufnahme des Querschnitts des Katalysatorbereichs

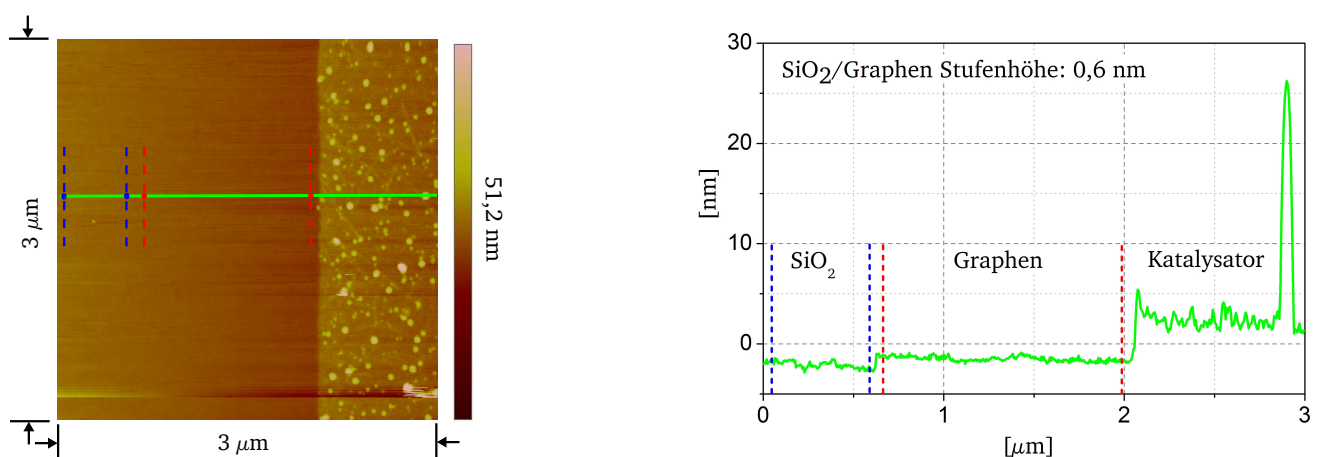
Abbildung 3.11: TEM-Analyse des Katalysatorbereichs im Querschnitt. Probe wurde für die Untersuchung in Epoxyd-Harz präpariert.

3.4 Strukturelle Analyse der Graphenproben

Zur Analyse der Graphenproben wurden zunächst das am IHTN vorhandenen AFM verwendet. Mit Hilfe des AFMs kann eine Probe topologisch charakterisiert werden. Diese Analyse enthält jedoch keine Informationen bezüglich der Art der Kohlenstoffmodifikation. Daher wurde im Anschluss extern eine TEM-Analyse von mehrlagigem Graphen durchgeführt um den Basalebenenabstand zu bestimmen. Durch die ebenfalls extern gemessenen Raman-Spektren mehrerer Graphenproben wird die Charakterisierung komplettiert.

3.4.1 AFM-Analyse von Graphen

Abbildung 3.12(a) zeigt die AFM-Analyse des Transistors *GRA4#11-F1545* nach CCVD. Die Prozessbedingungen sind in Anhang A aufgeführt. Die Betrachtung entlang der grünen Schnittlinie in Abbildung 3.12(b) verdeutlicht drei Bereiche: Siliziumdioxid, Graphen und Katalysator. Die Stufenhöhe zwischen Siliziumdioxid und Graphen beträgt 0,6nm. Da der Basalebenenabstand zweier Graphenlagen 0,335nm beträgt ist dies ein erster Hinweis auf das Wachstum von zweilagigem Graphen mit dem am IHTN entwickelten Prozess. Genauere Untersuchung des Basalebenenabstands der am IHTN hergestellten Graphenproben mittels einer TEM-Gitterabbildung sollen Aufschluss über die tatsächliche Gitterstruktur geben.



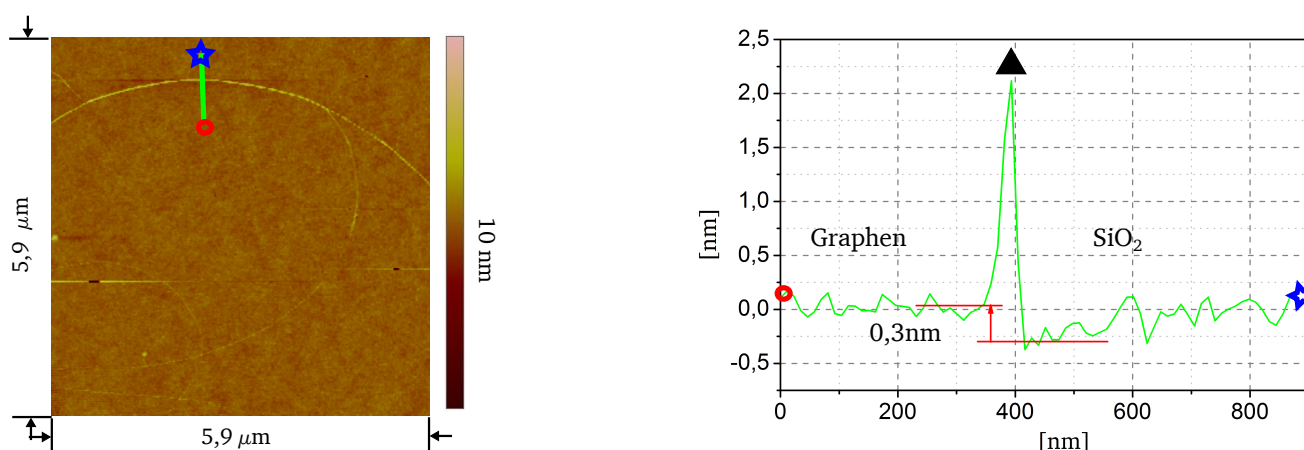
(a) AFM-Analyse *GRA4#11-F1545* nach CCVD.

(b) Höhenprofil entlang der grünen Linie in (a).

Abbildung 3.12: AFM-Analyse *GRA4#11-F1545* nach CCVD.

Mit Hilfe einer hochauflösenden AFM-Spitze (Radius <15nm) konnte der Kanalbereich des GFET *GRA4#7-F5038* analysiert werden. Abbildung 3.13(a) zeigt einen Ausschnitt des Kanalbereichs. Das Höhenprofil entlang der grünen Linie ist in Abbildung 3.13(b) dargestellt. Der

Vergleich der Niveaus zeigt eine Stufenhöhe von 0,3nm. Dies entspricht einlagigem Graphen. Das Maximum Δ im Höhenprofil zwischen dem Graphen und dem Siliziumdioxid kann durch Adsorption von Molekülen aus der Luft an die freien Bindungen am Rand des einlagigen Graphens erklärt werden. Ebenso besteht die Möglichkeit, dass sich ein CNT mit einem Durchmesser von etwa 2nm am Rand des Graphens befindet. Die Diskussion über ein mögliches CNT am Rand des Graphens wird in Kapitel 3.4.4 fortgesetzt.



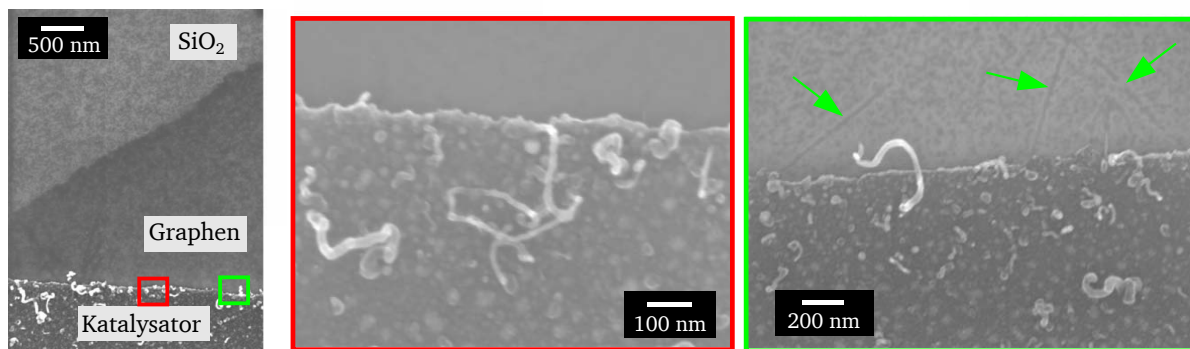
(a) AFM Analyse GRA4#7-F5038 nach CCVD.

(b) Topologie entlang der grünen Linie in (a).

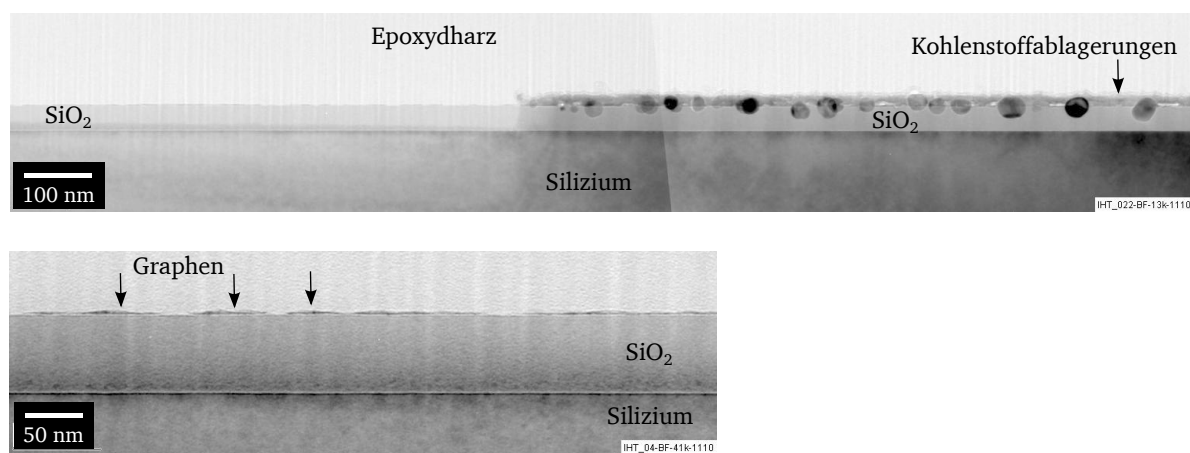
Abbildung 3.13: AFM-Analyse GRA4#7-F5038 nach CCVD.

3.4.2 TEM-Analyse von mehrlagigem Graphen

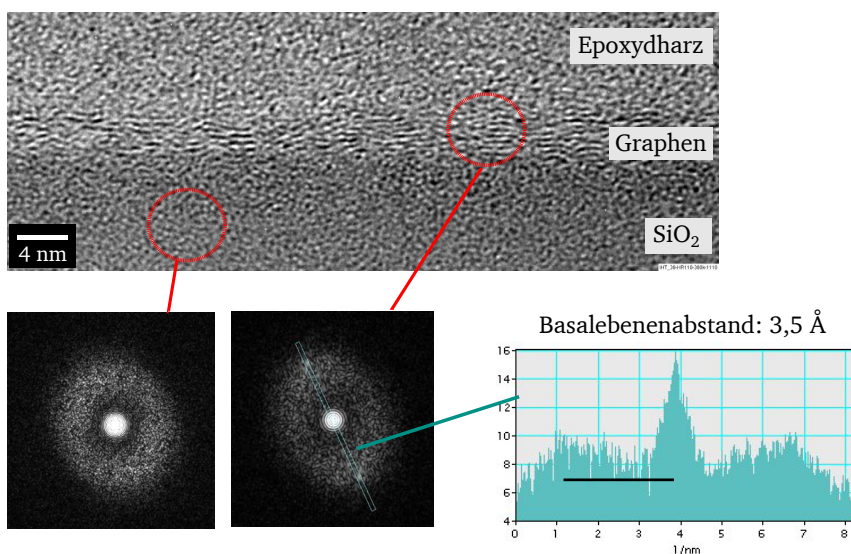
Die TEM-Analyse einer mehrlagigen Graphenprobe (50nm SiO₂, 10nm Al, 10nm Ni, 900°C, 10,65 slm CH₄) wurde als Auftragsarbeit von Siemens AG, Corporate Technology durchgeführt. Die Direktabbildung der Rasterelektronenmikroskopie ist in Abbildung 3.14(a) zu sehen. Deutlich unterscheiden sich drei Bereiche: Siliziumdioxid, Graphen und der Katalysator. Die Vergrößerungen (Abbildung 3.14(a) rot, grün) zeigen die Kohlenstoffablagerungen auf der Oberfläche des Katalysators, welche auch CNTs enthalten. Umfangreiche Untersuchungen mittels REM zeigen, dass in Abhängigkeit von den Prozessbedingungen die CNTs nur im Katalysatorbereich wachsen und sich nicht in den Kanalbereich erstrecken, bei den gegebenen Prozessbedingungen für GFETs keine leitende Verbindung zwischen den Source und Drain Anschlüssen herstellen. In Abbildung 3.14(a, grün) ist auf die Graphenoberfläche fokussiert worden. Dadurch sind feine Strukturen innerhalb des Graphens sichtbar (grüne Pfeile), welche sich deutlich von den CNTs auf der Katalysatoroberfläche unterscheiden.



(a) Rasterelektronenmikroskopaufnahme einer Graphenprobe auf SiO_2 . Rechts: Vergrößerungen des Katalysator-/ Graphen-Übergangs.



(b) TEM-Übersichtsaufnahme, Probe wurde mit Epoxydharz prepariert.



(c) Hochauflösende TEM-Aufnahme (oben) und Gitterabbildung (unten). Aus der Gitterabbildung kann der Basalebenenabstand der Graphenprobe mit $3,5 \text{ \AA}$ bestimmt werden.

Abbildung 3.14: TEM-Analyse von mehrlagigem Graphen.

In Vorbereitung auf die TEM-Analyse wurde die Probe mit Epoxydharz präpariert. Abbildung 3.14(b) zeigt die TEM-Aufnahme. Das Graphen wird in der Vergrößerung (Abbildung 3.14(b), unten) sichtbar. Die Gitterabbildung der TEM-Analyse in Abbildung 3.14(c) ermöglicht die Bestimmung des Basalebenenabstandes zu $3,5 \text{ \AA}$. Dies ist eine gute Übereinstimmung mit dem theoretischen Abstand für Graphit von $3,35 \text{ \AA}$ [52] und ein weiteres Indiz für das Graphenwachstum mit dem hier beschriebenen Prozess. Der Beweis wird im Folgenden durch Raman-Spektroskopie erbracht.

3.4.3 Raman-Spektroskopie von Graphen

Die Raman-Spektroskopie einer Kohlenstoffprobe gibt Auskunft über die Art der Kohlenstoffmodifikation, die Anzahl der Schichten des Graphens und deren Qualität (siehe Kapitel 2.5.3). Abbildung 3.15 zeigt die Raman-Spektren verschiedener, im Laufe der Arbeit hergestellten Graphenproben mit einer, zwei und mehreren Graphenschichten. Als Referenz ist das Spektrum von Siliziumdioxid dargestellt. Das SiO_2 -Spektrum wurde in einem Abstand von etwa $50 \mu\text{m}$ vom Kanalbereich gemessen. Das fünflagige Graphenspektrum von Transistor *GRA4#7-F1016* sowie das SiO_2 -Spektrum wurden mit einem konfokalen Raman-Mikroskop mit einem 633 nm Laser aufgenommen. Die Ergebnisse entstammen einer Auftragsarbeit welche von *Intertek MSG, Redcar* durchgeführt wurde. Das Raman-Spektrum des MoLGFET *GRA4#1-F5045* und des BiLGFET *GRA4#3-F1026* wurden mit einem Raman-Mikroskop mit einem 633 nm Laser in Kooperation mit dem Fraunhofer-Institut für Werkstoffmechanik Freiburg gemessen. Die Raman-Spektren der GFETs wurden jeweils direkt im Kanalbereich zwischen den Source und Drain Kontakten aufgenommen (schematische Darstellung in Abbildung 3.1(f) Seite 44).

Der *G-Peak* liegt bei allen drei Graphen-Proben bei einer Raman-Verschiebung von 1578 cm^{-1} . Das Maximum des *2D-Bandes* befindet sich ungefähr bei 2650 cm^{-1} . Die Form des *2D-Bandes* gibt Aufschluss über die Anzahl der aufeinander liegenden Graphenschichten. Im Vergleich mit den Arbeiten von A. C. Ferrari [53] wurde somit auf die Anzahl der aufeinander liegenden Schichten geschlossen. Die relative Intensität des *D-Peaks* gegenüber dem *G-Peak* weist auf die Menge der Defekte des Graphens hin [47, 48]. Die geringe Intensität des *D-Peaks* der untersuchten Proben lässt auf nur wenige Defekte des am IHTN hergestellten Graphens schließen. Interessanter Weise zeigt sich im Raman-Spektrum des MoLGFET eine hohe Intensität des *G-Peak* gegenüber der des *2D-Bandes* - für monolagiges Graphen wird üblicherweise ein inverses Verhältnis der beiden Intensitäten erwartet. Untersuchungen haben gezeigt [47, 48], dass das Verhältnis der Peak-Intensitäten vom Substrat, sowie vom Wachstumsprozess und der damit verbundenen Wechselwirkung zwischen dem Graphen und dem Substrat abhängig ist. Es wird

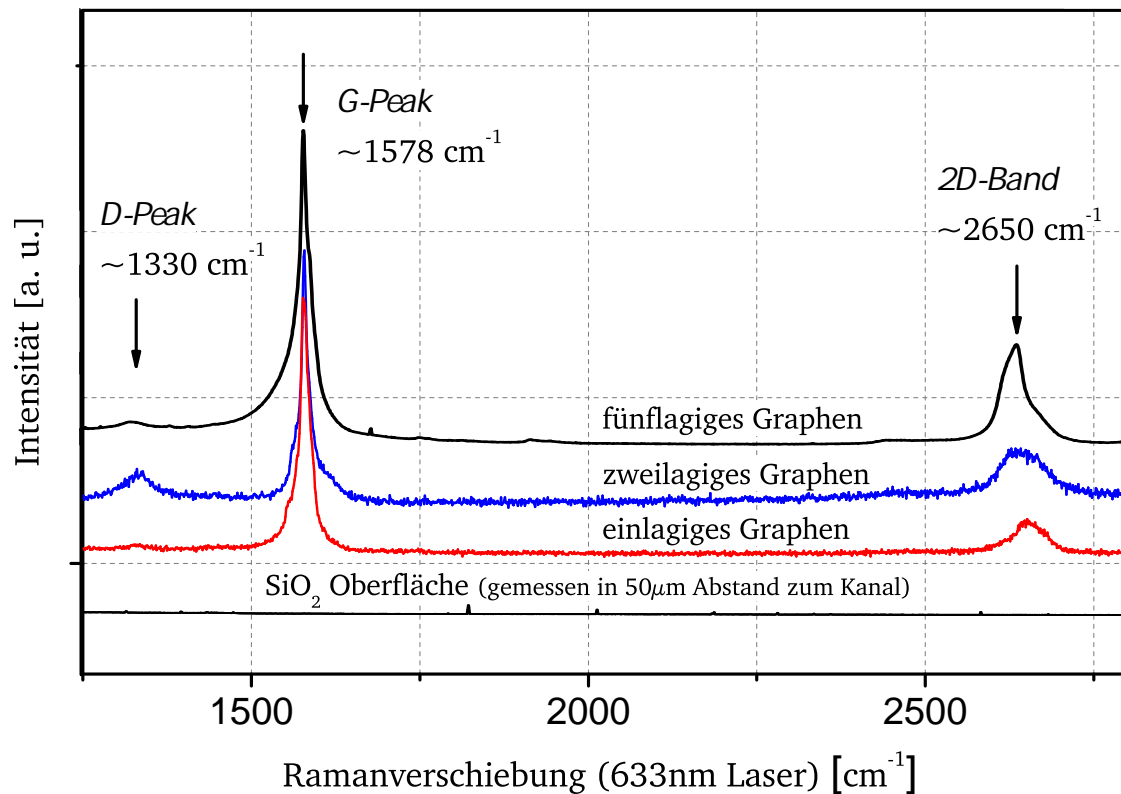
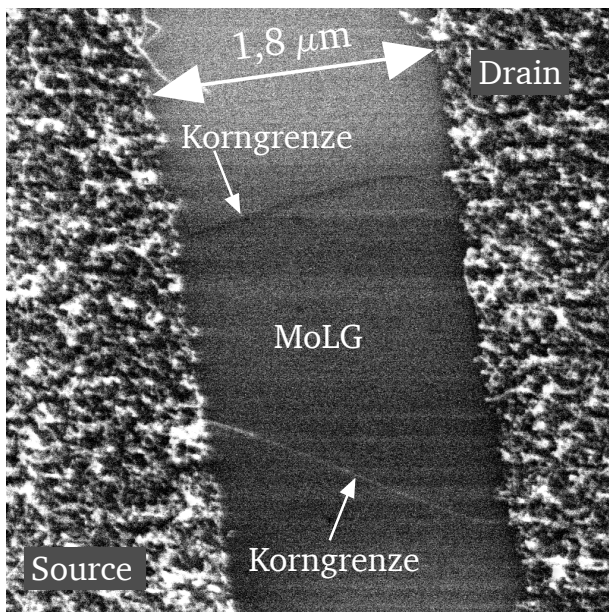


Abbildung 3.15: Raman-Spektrum mehrerer Graphenproben.

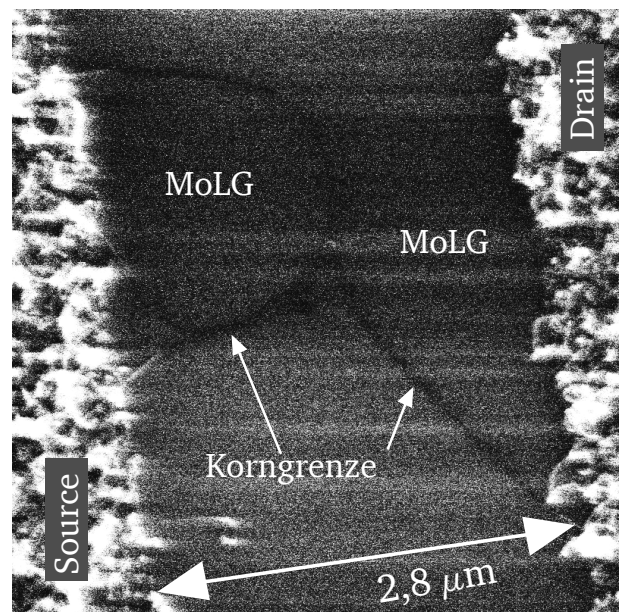
angenommen, dass eine Wechselwirkung während des direkten Wachstums des Graphens auf Siliziumdioxid bei 900°C entsteht. Diese Wechselwirkung wäre ebenfalls für die elektrischen Eigenschaften der BiLGFETs verantwortlich. Während des Wachstumsprozesses der Graphenschichten befindet sich ebenfalls Wasserstoff innerhalb der Reaktorkammer. Daher besteht die Möglichkeit, dass einzelne Wasserstoffatome in das Graphengitter eingebaut werden oder Bindungen mit den Kohlenstoffatomen am Rand des Graphengitters ausbilden. Die dadurch entstehende Wasserstoffpassivierung der Graphenlage führt ebenfalls zu einer deutlichen Veränderung der relativen Intensität des D-Peaks gegenüber dem G-Peak [49].

3.4.4 Korngrenzen in Graphen

Die Graphenlagen wachsen von den Nickel-Nano-Clustern ausgehend von Source- und Drain-Katalysatorbereichen im Kanalbereich aufeinander zu, wodurch in der Regel ein polykristalliner Graphenkanal entsteht. Abbildung 3.16(a) zeigt einen monokristallinen Graphenkanal ohne Korngrenzen, in Abbildung 3.16(b) ist der Kanalbereich eines MoLGFETs dargestellt, der mehrere Korngrenzen besitzt.



(a) GRA4#7-F5018

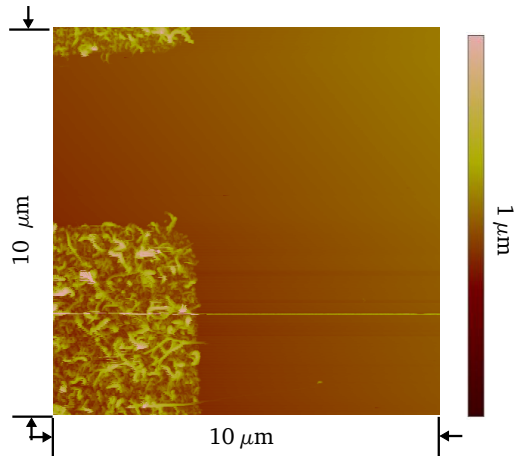


(b) GRA4#7-F5028

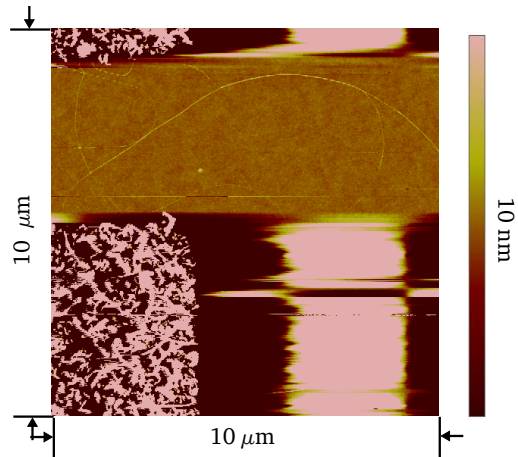
Abbildung 3.16: REM-Aufnahme von GFETs mit (a) einem Korn, (b) mehreren aneinanderstoßenden Körnern. Zur Beachtung: Beide GFETs sind elektronisch voll funktionsfähig.

In Abbildung 3.17(a) ist der Randbereich des Kanals des Transistors GRA4#7-F5038 dargestellt. Die Veränderung der Skala in 3.17(b) macht eine feine Struktur sichtbar. Vergrößerungen der Struktur sind in 3.17(c) und (e) dargestellt. Abbildung 3.17(f) zeigt eine REM-Aufnahme der Korngrenzen. Abbildung 3.17(d) zeigt die Topologie entlang der grünen Linie in Abbildung 3.17(e). Das Maximum in der Topologie wurde bereits in Kapitel 3.4.1 betrachtet. Von dieser Darstellung ausgehend kann nicht ausgeschlossen werden, dass es sich bei dieser Struktur um ein CNT mit einem Durchmesser von etwa 2nm handelt, welches sich an der Graphenkorngrenze befindet.

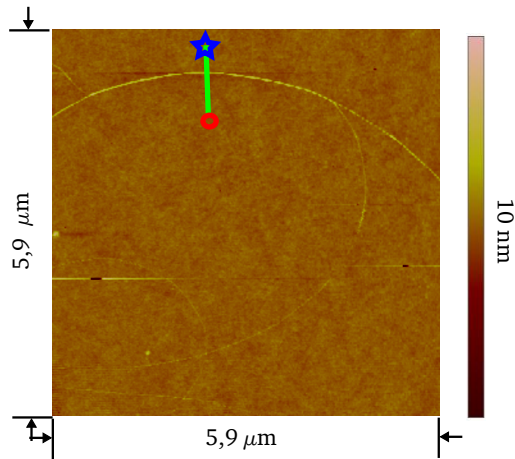
Abbildung 3.18(a) zeigt eine REM-Aufnahme des Kanals von GFETs GRA4#7-F1016. Deutlich sind Graphenkorngrenzen im Kanalbereich zu erkennen. Auf dem Katalysatorbereich befinden sich CNTs in großer Anzahl. Bei der Struktur, welche vom Katalysatorbereich in den Kanal ragt, handelt es sich aufgrund der Struktur vermutlich um Reste zurückgebliebenen PMMAs



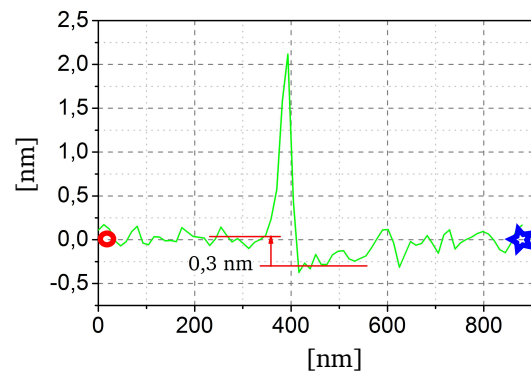
(a) Kanalrand GRA4#7-F5038 nach CCVD.



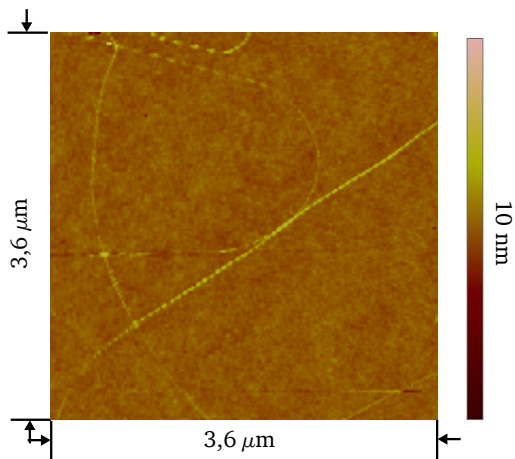
(b) Kanalrand GRA4#7-F5038 aus (a) nach Bildbearbeitung.



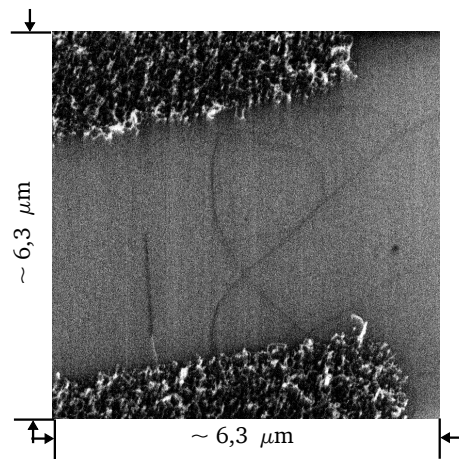
(c) Vergrößerung von (b).



(d) Topologie entlang der grünen Linie in (c).



(e) Vergrößerung von (b).



(f) REM-Aufnahme von GRA4#7-F5038.

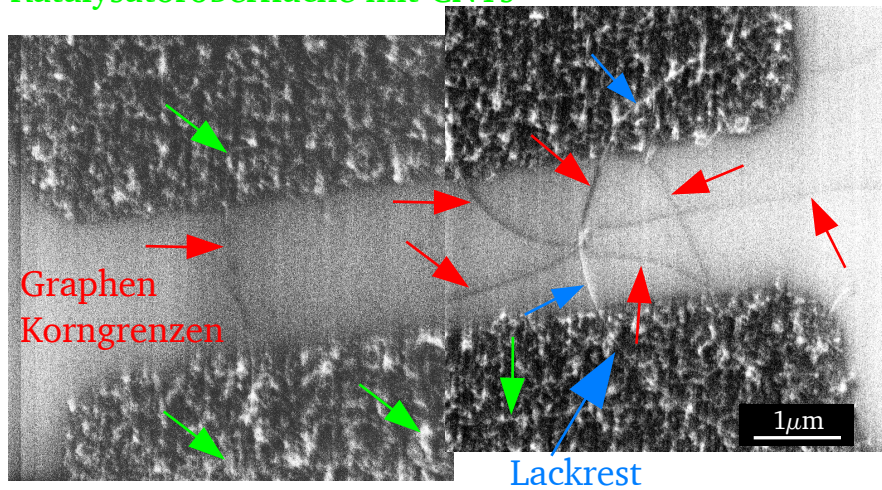
Abbildung 3.17: (a) AFM-Aufnahme des Kanals eines GFETs. (b) Modifikation der Skala zeigt mehrere Graphenkörner. (c) Vergrößerungen der Korngrenzen. (d) Topologie entlang der grünen Linie in (c). (e) Vergrößerungen der Korngrenzen. (f) REM-Aufnahme der Korngrenzen.

von der Lithographie. In Abbildung 3.18(b) sind die Raman-Spektren dargestellt, welche im Kanal, in $50\mu\text{m}$ Abstand vom Kanal und auf dem Katalysatorbereich gemessen wurden. Das Raman-Spektrum des Katalysatorbereichs zeigt Maxima, welche den CNTs auf dem Katalysatorbereich zuzuordnen sind [54]. Das Raman-Spektrum des Katalysatorbereichs unterscheidet sich deutlich vom Raman-Spektrum des Kanalgebiets. Dies ist ein Indiz dafür, dass es sich bei der in Abbildung 3.17(d) nicht um ein CNT handelt. Allerdings kann bei einer Spotgröße des verwendeten Lasers von etwa $1\mu\text{m}$ und einer Kanallänge von $10\mu\text{m}$ nicht ausgeschlossen werden, dass bei der Messung des Raman-Spektrums im Kanalgebiet des GFET der Spot des Lasers in der Mitte eines Graphenkorns gelegen hat und die Korngrenzen nicht erfasst hat.

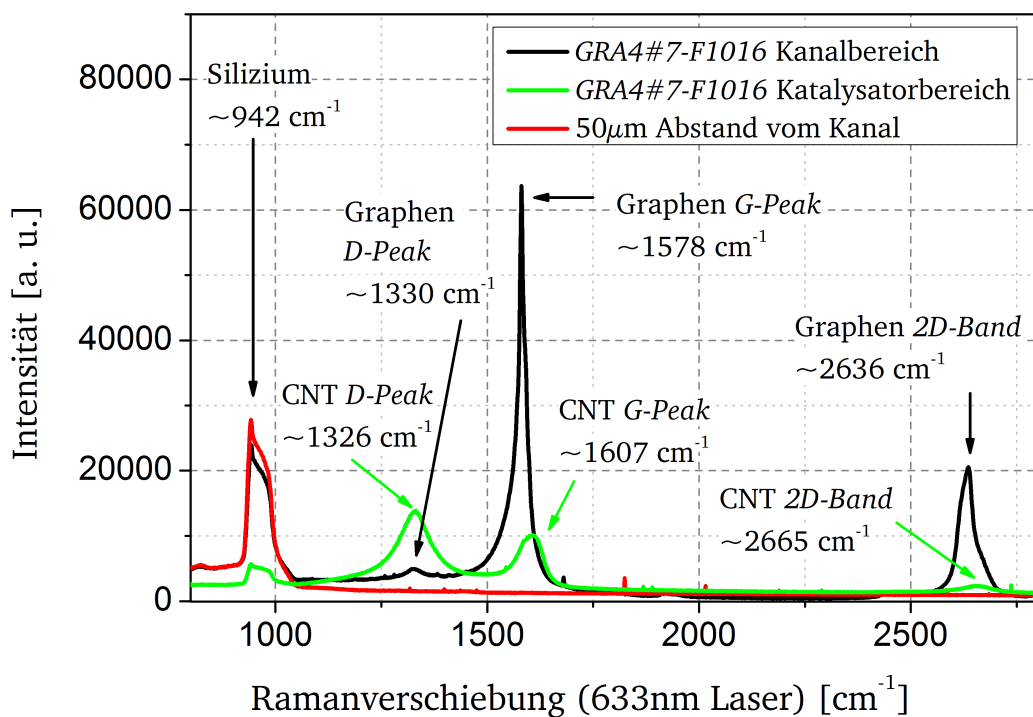
Auch Tsen et al. beobachten unterschiedliche Ausprägungen von Korngrenzen in Graphen, wie in Abbildung 3.19 dargestellt ist [55]. Unter anderem werden Graphenkörner mit Lücke und mit Überlapp zwischen den Graphenkörnern beobachtet. Wie in Abbildung 3.19(b) zu sehen beträgt der Überlapp 65nm und wurde mit einem AFM gemessen. Leider wurden keine Informationen zu der Höhe der gemessenen Struktur veröffentlicht. Dies zeigt zumindest, dass weitere Forschungsgruppen vergleichbare Strukturen der Korngrenzen beobachten. Jauregui et al. [56] untersuchen die elektrischen Eigenschaften von Körnern und Korngrenzen in CCVD gewachsenem Graphen. Die Korngrenzen werden durch eine kartierte Raman-Messung des *D-Peaks* visualisiert. Diese enthält Informationen zur Position der Korngrenzen allerdings keine Höheninformationen der Korngrenzen. Kim et al. [57] analysieren die Orientierung von Körnern in polykristallinem Graphen mittels TEM. Dies soll ermöglichen, den Einfluss der Orientierung der Graphenkörner auf die elektrischen Eigenschaften von polykristallinem Graphen untersuchen zu können. Die von Kim et al. [57] veröffentlichten Daten enthalten ebenfalls keine Höheninformationen der Graphenkorngrenzen. Da keine der genannten Forschungsgruppen Details zu der vertikalen Struktur der Korngrenzen preisgibt, ist es leider nicht möglich, die in dieser Arbeit gezeigten Strukturen der Korngrenzen in Graphen mit den Beobachtungen weiterer Forschungsgruppen zu vergleichen.

Desweiteren untersuchen Tsen et al. [55] den Einfluss von Korngrenzen auf das elektrische Verhalten von Graphenbauelementen. In Abhängigkeit der verwendeten Prozessparameter konnte CVD-Graphen mit einer unterschiedlichen Anzahl an Korngrenzen, und damit Korngrößen, erzeugt werden. Interessanter Weise kann die elektrische Leitfähigkeit um eine Größenordnung gesteigert werden, wenn die einzelnen Graphenbereiche an den Korngrenzen geeignet verbunden sind [55]. Dies zeigt den Einfluss der Orientierung der Graphenbereiche auf das elektrische Verhalten des Bauelements hinsichtlich des maximalen Stromflusses zwischen dem Source- und Drain-Kontakt. Die Untersuchungen von Jauregui et al. [56] zeigen, dass Korngrenzen die elektrische Leitfähigkeit von polykristallinem Graphen reduzieren können. Um den Einfluss von Korngrenzen auf die Beweglichkeit von Elektronen in GFETs und damit den Einfluss der Korn-

Katalysatoroberfläche mit CNTs



(a) REM-Aufnahme des Kanals *GRA4#7-F1016*.



(b) Raman-Spektroskopie des GFET *GRA4#7-F1016*.

Abbildung 3.18: (a) REM-Aufnahme des Kanals von GFET *GRA4#7-F1016*. Deutlich sind Graphen-korngrenzen im Kanalbereich zu erkennen. Auf dem Katalysatorbereich befinden sich CNTs in großer Anzahl. Bei der Struktur, welche vom Katalysatorbereich in den Kanal ragt, handelt es sich aufgrund der Struktur vermutlich um Reste zurückgebliebenen PMMAs von der Lithographie. (b) Raman-Spektren des GFETs *GRA4#7-F1016* aufgenommen im Kanalbereich, im Katalysatorbereich und in 50 µm Entfernung vom Kanal.

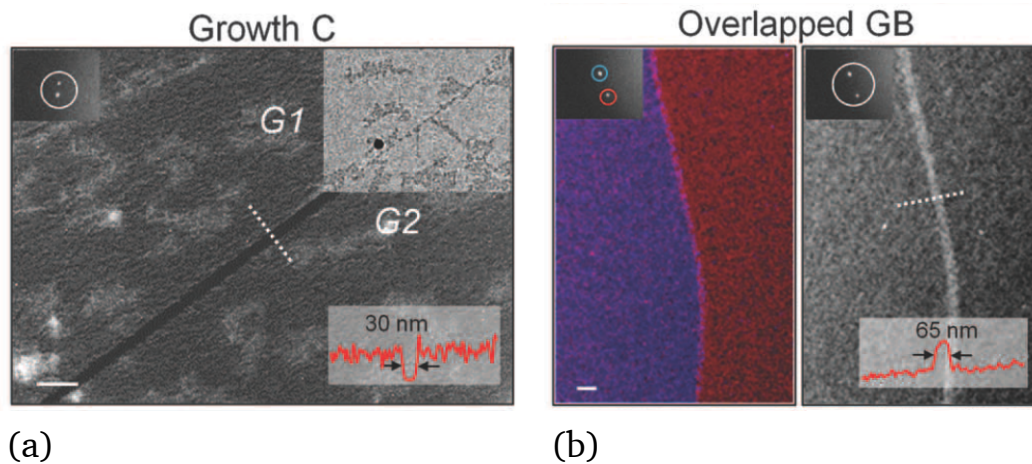


Abbildung 3.19: (a) Graphenkörner mit Lücke. (b) Graphenkörner mit Überlapp. [55]

grenzen auf die elektrischen Eigenschaften der GFETs bestimmen zu können, ist eine detailliertere Untersuchung der Kanalbereiche der hergestellten GFETs in Zukunft notwendig. Durch hochauflösende REM-Aufnahmen müssen die Körner der Graphenprobe identifiziert, sowie die Orientierung der Graphenkörner bestimmt werden. Darüber hinaus ist es möglich, dass adsorbierte Moleküle an den Korngrenzen den erwarteten erhöhten Widerstand in polykristallinem Graphen gegenüber einkristallinem Graphen beeinflussen - diesen erhöhen oder verringern können.

Zusammenfassung

Es kann gezeigt werden, dass durch geeignete Wahl der Prozessparameter Graphen in verschiedenen Schichtkonfigurationen hergestellt werden kann. Dazu ist es notwendig, dass Nickel-Nano-Cluster mit einer Höhe von 10 bis 15nm am Rand des Katalysatorbereichs in hoher Dichte vorhanden sind. Die vollständige Prozessierung von Wafern in Stickstoffatmosphäre zeigt, dass eine Prozessgas Mischung aus Methan und gegebenenfalls Wasserstoff erforderlich ist, um mit dem entwickelten Verfahren Graphenschichten herstellen zu können. Während des CCVD-Prozesses wird ein Teil der Aluminiumschicht des Katalysators in Aluminiumoxid umgewandelt. Gleichzeitig bildet ein Teil der Nickelschicht des Katalysators Nickel-Nano-Cluster aus. Daher steht nach der Prozessierung vertikal nur noch etwa die Hälfte der Katalysatorschicht für die Kontaktierung der Graphenschicht zur Verfügung. Die Kombination aus AFM-Analyse, REM-Aufnahmen, TEM-Analyse, TEM-Gitterabbildung und Raman-Spektroskopie sowie der typischen Strom-Spannungs-Charakteristik für MoLGFETs, welche im folgenden Kapitel diskutiert wird, belegen das Wachstum von Graphen mit dem am IHTN entwickelten Herstellungsprozess für Graphentransistoren eindeutig.

Kapitel 4

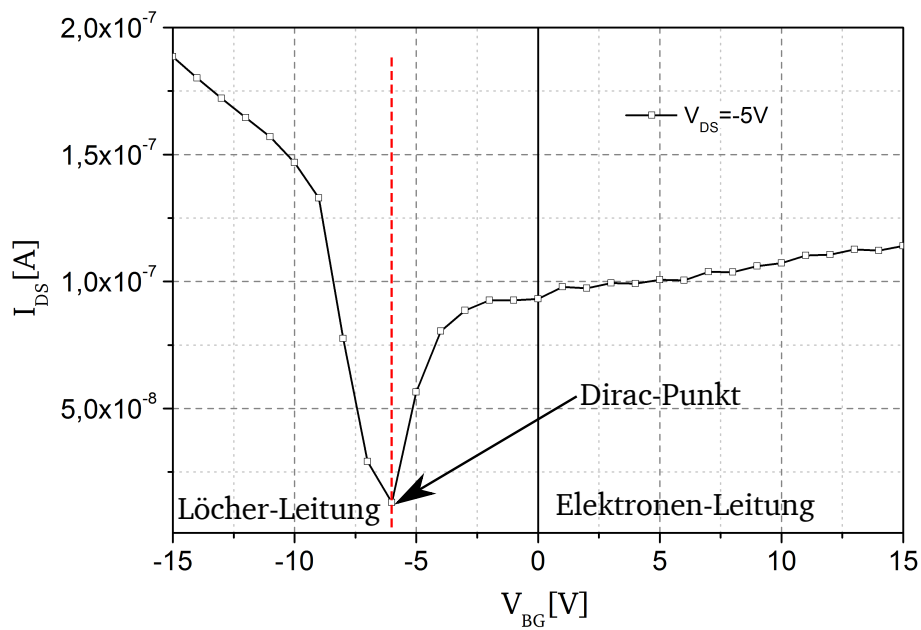
Elektrische Charakterisierung von Graphen-Feld-Effekt- Transistoren



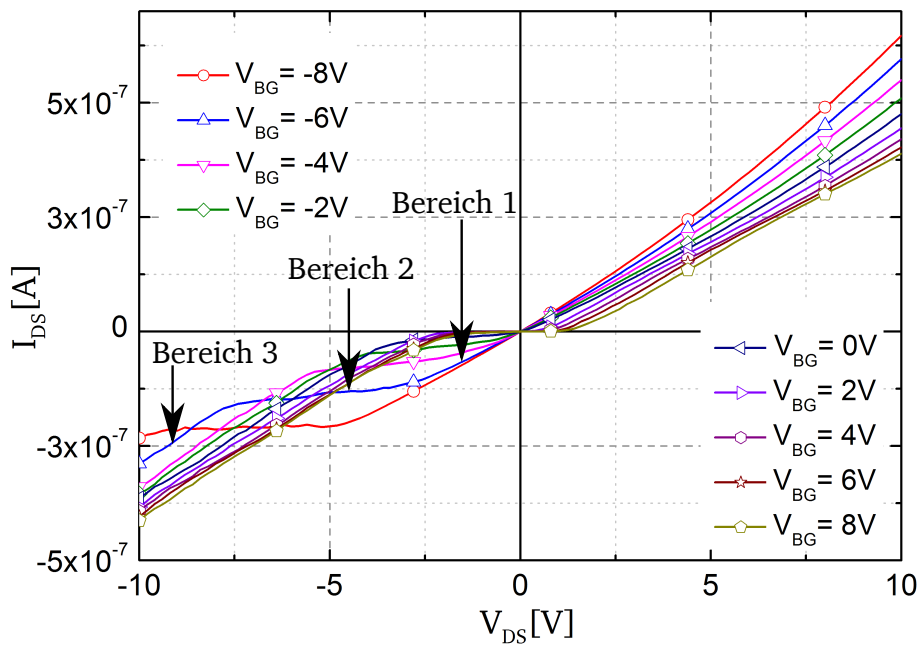
Die hergestellten Graphen-Feld-Effekt-Transistoren werden nun bezüglich ihrer elektrischen Eigenschaften charakterisiert. Herausgestellt werden hierbei insbesondere die Ausgangs- und Unterschwelkenlinie der GFETs, da sich daraus verschiedene Eigenschaften der GFETs wie beispielsweise die Ladungsträgerbeweglichkeit ableiten lassen. Zur Messung der Unterschwelkenlinie wird bei konstanter Drain-/Source-Spannung V_{DS} die Backgate-Spannung V_{BG} von $-15V$ bis von $15V$ durchfahren und ebenfalls der Stromfluss zwischen Drain und Source I_{DS} gemessen. Für die Messung der Ausgangskennlinie eines GFETs wird bei konstanter Spannung am rückseitigen Gate-Anschluss (Backgate) V_{BG} die Spannung zwischen Drain und Source V_{DS} von $-10V$ bis von $10V$ durchfahren und der Stromfluss zwischen Drain und Source I_{DS} gemessen. Hierbei werden die Katalysatorbereiche der GFETs direkt zur Kontaktierung des Bauelements mit den Messspitzen genutzt.

4.1 Einlagige Graphen FETs (MoLGFETs)

Abbildung 4.1 zeigt die Unterschwellen- und Ausgangs-Kennlinie des MoLGFET *GRA4#1-F5045*. Im Vergleich zu dem, in Kapitel 2.3, diskutierten Silizium MOS Feldeffekttransistors wird ein MoLGFET ebenfalls durch einen Feldeffekt gesteuert. Die Unterschwelkenlinie eine MoLGFET weist das erwartete ambipolare Verhalten, im Gegensatz zur unipolaren Unterschwelkenlinie des MOSFETs, auf. Großflächige einlagige Graphentransistoren besitzen eine charakteristische Unterschwelkenlinie [58], wie sie in Abbildung 4.1(a) dargestellt ist. Die Ladungsträgerdichte und die Art der Ladungsträger (Elektronen oder Löcher) wird durch die Potentialdifferenzen zwischen dem Kanal und dem Gate (Backgate und/oder Topgate) bestimmt. Eine ausreichend hohe positive Gate-Spannung verursacht eine Elektronenakkumulation im Kanal (n-Typ Kanal), während hohe negative Gate-Spannungen zu einem p-Typ Kanal führen. Dieses Verhalten verursacht die zwei verschiedenen Bereiche, welche durch den sogenannten Dirac-Punkt getrennt sind. Die Position des Dirac-Punktes ist von mehreren Faktoren abhängig: die Differenz zwischen der Austrittsarbeit des Gates und des Graphens, die Art und die Dichte von Ladungen an der Grenzfläche des Kanals sowie von jeglicher Dotierung des Graphens [1]. Der charakteristische Dirac-Punkt in der Unterschwelkenlinie von in-situ CCVD gewachsenen MoLGFETs (Abbildung 4.1(a)) liegt bei einer Backgate-Spannung von $V_{BG} = -6V$. Desweiteren weist die Kennlinie das typische geringe Verhältnis zwischen dem Strom im angeschalteten Zustand I_{ON} und dem Stromfluss im ausgeschalteten Zustand am Dirac-Punkt I_{Dirac} von $(I_{ON}/I_{OFF})_{Dirac, Löcher} = 16$ für Löcherleitung und $(I_{ON}/I_{OFF})_{Dirac, Elektronen} = 8$ für Elektronenleitung bei Raumtemperatur auf. MoLGFETs können nicht vollständig ausgeschaltet werden und sind daher nicht für die Nutzung in digitaler Elektronik geeignet. Offensichtlich ist die Löcherleitung im Gegensatz zur Elektronenleitung bei CCVD gewachsenen GFETs leicht bevorzugt. Dies scheint typisch für CVD gewachsenes Graphen und wurde anhand von Hall-Effekt-



(a) GRA4#1-F5045 Unterschwellenkennlinie



(b) GRA4#1-F5045 Ausgangskennlinie

Abbildung 4.1: Ausgangs- und Unterschwellenkennlinie des MoLGFET GRA4#1-F5045.

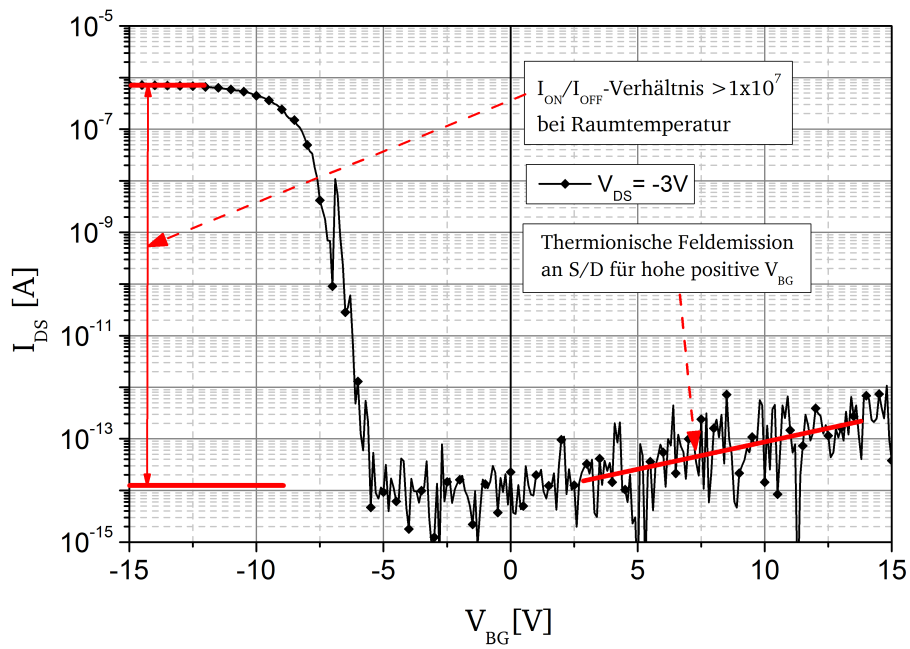
Messungen belegt, welche von anderen Forschungsgruppen durchgeführt wurden [59]. Auch Wang et al. [18] beobachten ein p-Typ Verhalten welches sie auf eine unbeabsichtigte Dotierung des Graphens durch Wasser, Sauerstoff und organische Rückstände zurückführen. Diese treten auf, wenn die Graphenproben der Luft ausgesetzt werden.

Im Kanalgebiet des MoLGFET *GRA4#1-F5045* wurde ebenfalls das bereits in Kapitel 3.4.3 diskutierte Raman-Spektrum von monolagigem Graphen gemessen. Die Unterschwellenkennlinie des MoLGFET bestätigt das Vorhandensein von transferfreiem und in-situ CCVD auf SiO₂ gewachsenem monolagigem Graphen und untermauert die Aussagekraft des Raman-Spektrums.

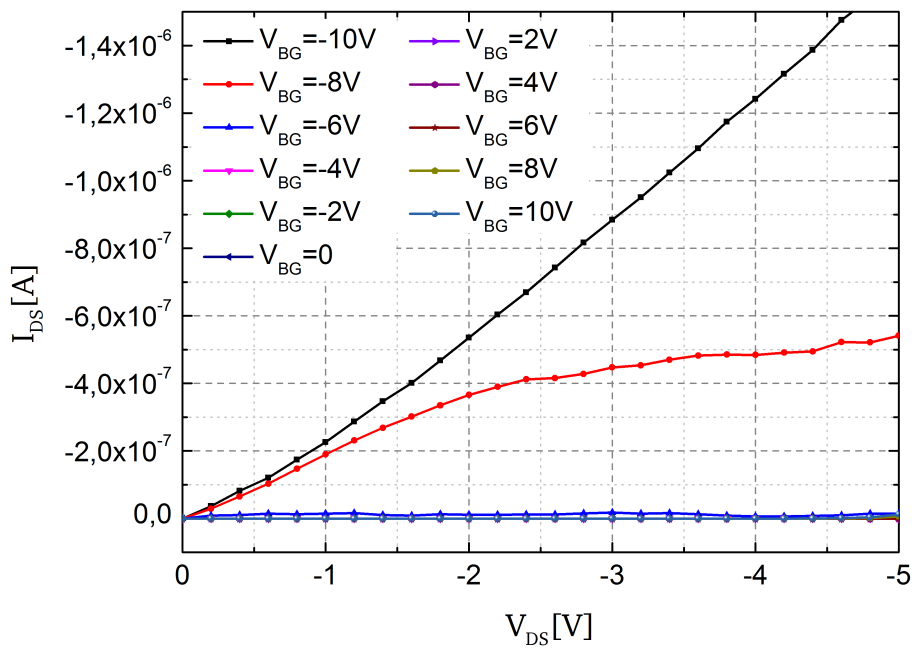
Die Ausgangskennlinie vieler MoLGFETs zeigt einen linearen Verlauf ohne oder mit schwacher Sättigung [1, 60]. Einige MoLGFETs zeigen ein ungewöhnliches sättigungsähnliches Verhalten. Zur Diskussion dieses Verhaltens sind in Abbildung 4.1(b) in der Ausgangskennlinie des MoLGFET für $V_{BG} = -6V$ drei Bereiche markiert. Für kleine Werte von V_{DS} arbeitet der Transistor im linearen Bereich und es liegt ein n-Typ Kanal vor (Bereich 1). Wird V_{DS} erhöht, geht I_{DS} in Sättigung, bis der Wendepunkt bei $V_{DS} = V_{DS,kritisch}$ erreicht ist (Bereich 2). An diesem Punkt entspricht das Potential am Drain-Ende des Kanals den Bedingungen am Dirac-Punkt. Wenn V_{DS} $V_{DS,kritisch}$ überschreitet, wechselt der Ladungsträger-Typ am Drain-Ende des Kanals von n-Typ auf p-Typ. Der Transistor befindet sich dann in einem zweiten linearen Bereich (Bereich 3). Bei ausreichend großen Werten von V_{DS} ist es möglich dass sich die Ausgangskennlinien verschiedener Backgate-Spannungen überschneiden. Dies kann dazu führen, dass die Transkonduktanz null oder negativ wird. Dieses eigentümliche Verhalten resultiert daraus, dass großflächiges einlagiges Graphen eine Bandlücke von exakt 0eV bei endlicher Temperatur besitzt und tritt bei Transistoren mit halbleitendem Kanalmaterial nicht auf [60].

4.2 Zweilagige Graphen FETs (BiLGFETs)

Die Unterschwellenkennlinie des BiLGFET *GRA4#3-F1026* ist in Abbildung 4.2 (a) dargestellt und zeigt ein Verhältnis zwischen dem Strom im angeschaltetem Zustand I_{ON} und dem Strom im ausgeschaltetem Zustand I_{OFF} von $I_{ON}/I_{OFF} = 8 \cdot 10^7$. Dies ist das bis dato (Dez. 2012) das höchste I_{ON}/I_{OFF} -Verhältnis, welches für in-situ CCVD gewachsene BiLGFETs publiziert wurde. Die benötigte Bandlücke E_G wird teilweise durch die angelegte Backgate-Spannung erzeugt, welche ein elektrisches Feld mit einer kleinen Feldstärke von $1,5 \text{ MV cm}^{-1}$ (d.h. $0,15 \text{ V nm}^{-1}$) senkrecht zum zweilagigen Graphen generiert. Hinzu kommt ein weiterer Beitrag durch Dotierung des Graphens mit Wasserstoff, welche sich im Raman-Spektrum der Probe abzeichnet (siehe Kapitel 3.4.3). Hierbei wird angenommen, dass sich atomarer Wasserstoff an den freien Bindungen der Kohlenstoffatome am Graphenrand anreichert. Balog et. al [61] haben nachgewiesen, dass



(a) GRA4#3-F1026 Unterschwellenkennlinie



(b) GRA4#3-F1026 Ausgangskennlinien

Abbildung 4.2: Unterschwellen- und Ausgangs-Kennlinie des BiLGFET GRA4#3-F1026.

durch Adsorption von Wasserstoff an Graphen eine Bandlücke von 450 meV entsteht. Desweiteren wird eine starke Wechselwirkung des zweilagigen Graphens mit der Siliziumdioxidoberfläche angenommen, welche ebenfalls aus dem Raman-Spektrum abgeleitet werden kann. (Im Kanalbereich dieses Transistors wurde das Raman-Spektrum von zweilagigem Graphen gemessen, welches in Kapitel 3.4.3 diskutiert wurde.) Solch starke Wechselwirkungen können während des CCVD-Wachstums des Graphens mit dem eigens entwickelten Prozess entstehen. Im Hinblick auf die intensiven Graphen/Substrat-Wechselwirkungen wird angenommen, dass der atomare Wasserstoff, welches ebenfalls dafür bekannt ist, dass er Ladungsträgereinfangstellen an der Siliziumdioxidgrenzfläche passiviert [62], eine entscheidende Rolle in der Ladungsträgerselektion spielt. Wird der Wasserstoff durch Vakuumaugasung von der Graphenprobe entfernt und die Kennlinie ohne den Einfluss von Wasserstoff gemessen, so wird ein n-Typ Verhalten beobachtet [63]. Dies geschieht in Folge von *fermion level pinning* durch Oberflächenzustände. Im Gegensatz dazu ergibt sich ein p-Typ Verhalten des Transistors, wenn während des CVD-Prozesses große Mengen von Wasserstoff vorhanden sind und dadurch die Oberflächenzustände passiviert werden [62].

Desweiteren ist die Bandstruktur von BiLG abhängig von der Gittersymmetrie [15]. Bei symmetrischem BiLG beträgt die Bandlücke auch bei hohem ($>1\text{V/nm}$) angelegtem elektrischen Feld senkrecht zum BiLG etwa 250meV [64, 65]. Bei unsymmetrischen BiLG entsteht eine Bandlücke zwischen den niederenergetischen Bändern am früheren *dirac-crossing-point* [15] (siehe Kapitel 2.1.3). Kong et al. [66] haben den Ladungstransfer zwischen Graphen und dem Substrat mit Photoemissionsspektroskopie und inverser Photoemissionsspektroskopie untersucht [67]. Die Daten demonstrieren, dass eine Bandlücke von 1eV bei Graphen auf kristallinem Magnesiumoxid MgO entsteht. Die Bandlücke entsteht durch die Graphen/Substrat-Oberflächenwechselwirkung [66]. Darüber hinaus führt die Modulation der Schottky-Barriere am Metall/BiLG-Kontakt durch die angelegte Backgate-Spannung im Bereich zwischen $-2\text{V} \leq V_{\text{BG}} \leq 13\text{V}$ zu einem ansteigenden Strom im Aus-Zustand I_{OFF} des Bauelements aufgrund von thermionischer Feldemission (siehe 4.2 (b)). Dies ist ein Indiz dafür, dass die Bandlücke der hergestellten BiLGFETs zwischen $0,6 \leq E_{\text{G,BiLG}} \leq 1,0\text{eV}$ beträgt.

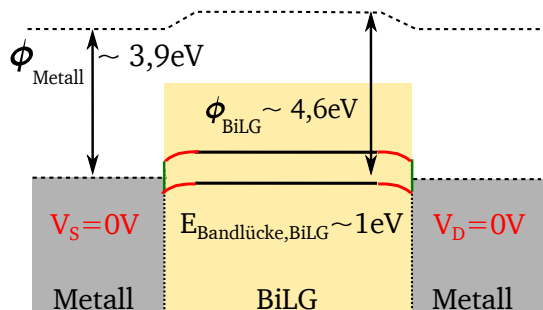
Abbildung 4.2 (b) zeigt die Ausgangskennlinie des BiLGFET *GRA4#3-F1026*. Hierbei wurde eine konstante Spannung am rückseitigen Kontakt (Backgate) V_{BG} angelegt, während die Spannung zwischen Source und Drain V_{DS} von -5V bis 0V variiert wird. Gleichzeitig wird der Stromfluss zwischen Drain und Source I_{DS} gemessen. Die Unterschwellencharakteristik ist konsistent mit der Ausgangskennlinie und zeigt ein unipolares p-Typ Verhalten.

Wird zweilagiges Graphen mit der Austrittsarbeit ϕ_{BiLG} mit einem Metall dessen Austrittsarbeit ϕ_{M} kleiner ist als ϕ_{BiLG} in Kontakt gebracht, so entsteht eine Schottky-Barriere (SB) ϕ_{B} für beide Ladungsträgertypen, das heißt sowohl für Elektronen als auch für Löcher. Durch Anlegen einer positiven Spannung an das Metall verringert sich das innere Potential ϕ_{SF} und Löcher aus dem Valenzband können sich vom BiLG zum Metall bewegen, es liegt Flusspolung vor. In Sperrpolung wird eine positive Spannung an das Metall angelegt. Daraufhin wächst aufgrund der Bandverbiegung ϕ_{SF} und der Löchertransport wird reduziert. Die Barrierenhöhe für Löcher $\phi_{\text{B,p}}$ und Elektronen $\phi_{\text{B,n}}$ hängt von dem verwendeten Metall, beziehungsweise der Austrittsarbeitendifferenz zwischen dem Metall und dem BiLG ab.

Die klassische Betrachtung eines Schottky-Kontakts in Bezug auf das Fermi-Niveau und eine Raumladungszone im Halbleiter ist bei der Betrachtung eines Metall/BiLG-Kontakts äußerst schwierig. Eine umfassende theoretische Betrachtung dieses Kontaktsystems liegt bis dato nicht vor. Ob in zweilagigem Graphen eine Raumladungszone entstehen kann ist noch unklar. Möglich ist die Diskussion des Ladungsträgertransports von Seiten des zweilagigen Graphens in das Metall (und zurück) entsprechend Kapitel 2.2, durch Feldemission, thermionische Feldemission und thermische Emission. Der Ladungsträgertransport durch Feldemission beziehungsweise Tunnelprozesse wird durch eine ausreichende schmale Barriere im Bereich des Metall-BiLG Übergangs ermöglicht. Im Falle thermionischer Feldemission erreichen die Ladungsträger durch thermische Anregung zunächst Energieniveaus mit hinreichend schmaler Barriere und durchtunneln anschließend die Barriere durch Feldemission. Bei reiner thermischer Emission erhalten die Ladungsträger so viel Energie, dass ein Überwinden der Barriere ohne Tunnelprozesse möglich wird.

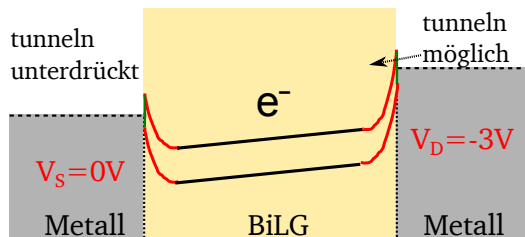
Um die experimentellen Beobachtungen der Ausgangskennlinie eines BiLGFETs zu erklären, ist das schematische Banddiagramm eines BiLGFETs in Abbildung 4.4 dargestellt. Für eine überschaubare Darstellung wurde das Banddiagramm auf wesentliche Details reduziert. Die Austrittsarbeit von Nickel ist in der Literatur mit $\phi_{\text{Ni}} \cong 5,15\text{eV}$ angegeben [72]. Allerdings kommt es durch eine Wechselwirkung des Nickels wenn dieses mit dünnem Graphit (Kohlenstoffablagerungen auf dem Katalysator während des CCVD-Prozesses) bedeckt ist zu einer experimentell bestimmten Austrittsarbeit von $\phi_{\text{Ni}} = 3,9\text{eV}$ [70]. Außerdem ist nicht auszuschließen, dass *fermlevel pinning* gegebenenfalls zu einer weiteren Veränderung der Austrittsarbeitendifferenz von Nickel und BiLG führt. Desweiteren wird eine Bandlücke von ungefähr $E_{\text{G,BiLG}} \approx 1,0\text{eV}$ für BiLG angenommen (siehe Abbildung 4.4 (a)). Studien zeigen [73, 74, 75, 76], dass die Austrittsarbeit von Graphen ähnlich zu der von Graphit, $\phi_{\text{Graphit}} = 4,6\text{eV}$ [71, 70], ist und sensitiv von der Anzahl der Graphenlagen abhängt [77, 78].

Abbildungen 4.4 (b) und 4.4(c) zeigen die zugehörigen Banddiagramme für einen BiLGFET im Aus-Zustand. Für $V_{\text{DS}} = -3\text{V}$ und $V_{\text{BG}} = +8\text{V}/+10\text{V}$ ist das Tunneln der Elektronen durch

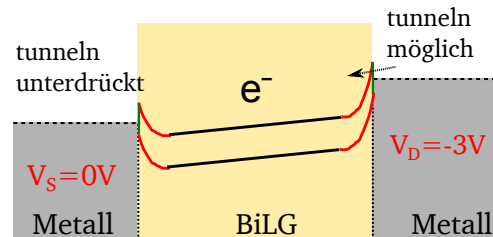


(a) Thermisches Gleichgewicht

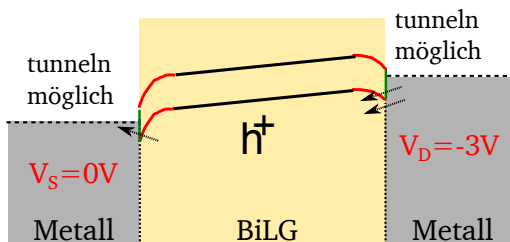
e^- : Elektronen
 h^+ : Löcher
 BiLG: zweilagiges Graphen



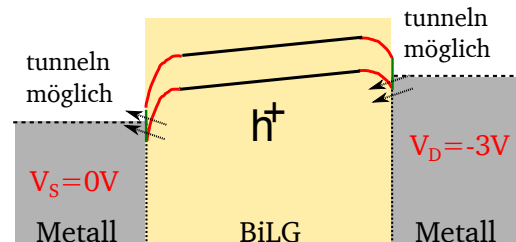
(b) Aus-Zustand: $V_{DS} = -3\text{V}$, $V_{BG} = +10\text{V}$



(c) Aus-Zustand: $V_{DS} = -3\text{V}$, $V_{BG} = +8\text{V}$



(d) Fast An-Zustand: $V_{DS} = -3\text{V}$, $V_{BG} = -8\text{V}$



(e) An-Zustand: $V_{DS} = -3\text{V}$, $V_{BG} = -10\text{V}$

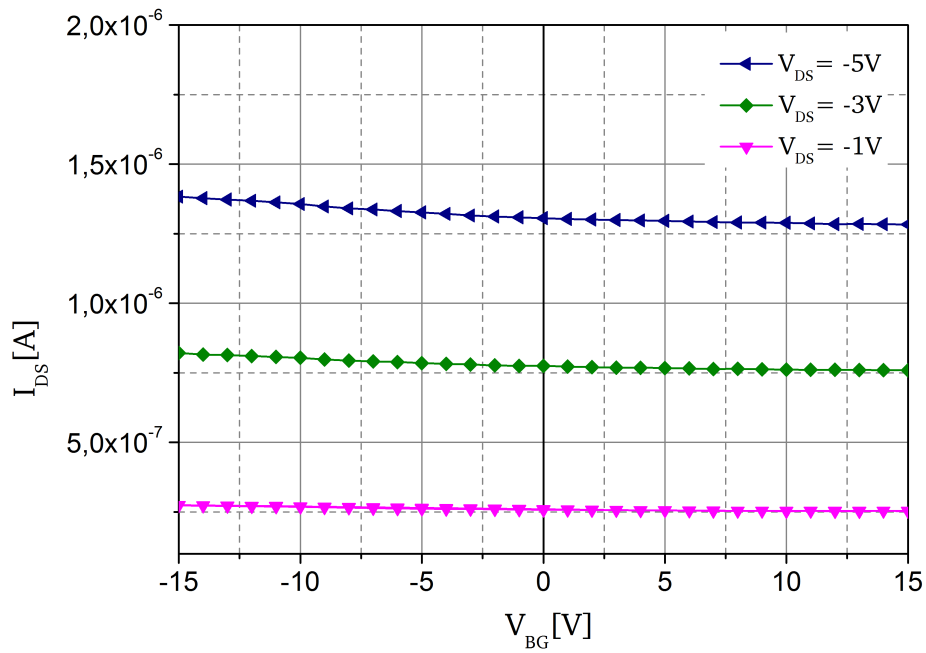
Abbildung 4.4: Schematische Darstellung des Banddiagramms eines BiLGFETs im thermischen Gleichgewicht, (a,b) im Aus-Zustand, d.h. $V_{BG} = +10\text{V}/+8\text{V}$ und $V_{DS} = -3\text{V}$ (c) im Aus-Zustand, d.h. $V_{BG} = -8\text{V}$ und $V_{DS} = -3\text{V}$, (e) im An-Zustand bei $V_{BG} = -10\text{V}$ und $V_{DS} = -3\text{V}$.

die Drain-Barriere möglich, doch das Tunneln durch die Source-Barriere ist weitestgehend unterdrückt. Gleichzeitig ist das Tunneln von Löchern resultierend aus der Barrierenhöhe sehr unwahrscheinlich.

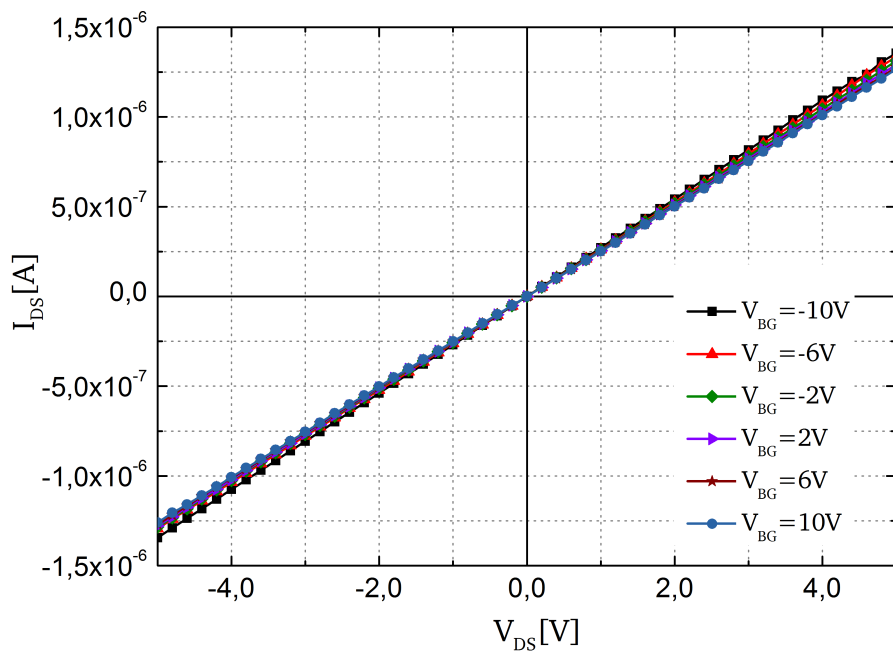
Im An-Zustand ist eine Spannung von $V_{DS} = -3V$ zwischen Drain und Source angelegt sowie eine Backgate-Spannung von $V_{BG} = -8V / -10V$, siehe Abbildung 4.4 (d). In diesem Fall ist die Bandverbiegung so stark, dass das Tunneln von Löchern sowohl durch die Source-, als auch die Drain-Barrieren möglich ist. $I_{DS}(V_{DS} = -3V, V_{BG} = -10V)$ ist höher als $I_{DS}(V_{DS} = -3V, V_{BG} = -8V)$ wie aus Abbildung 4.2 (b) hervorgeht. Der Vergleich von Abbildung 4.4 (d) und 4.4(e) zeigt, dass im Fall von $I_{DS}(V_{DS} = -3V, V_{BG} = -10V)$ die Leitung von Löchern aufgrund der stärkeren Bandverbiegung wahrscheinlicher ist als im Fall von $I_{DS}(V_{DS} = -3V, V_{BG} = -8V)$. Tatsächlich wird dieses Verhalten experimentell beobachtet, wie in Abbildung 4.2 dargestellt.

4.3 Mehrlagige Graphen FETs (FewLGFETs)

Je größer die Anzahl der gestapelten Graphenlagen, desto mehr nähern sich die Eigenschaften der Graphenprobe den Eigenschaften von Graphit. Unterschwelenkennlinie und Ausgangskennlinie des FewLGFET *GRA4#7-F1016* zeigen ein zunehmend metallisches Verhalten [14], wie es für mehrlagiges Graphen zu erwarten ist. Die Unterschwelenkennlinie des FewLGFET *GRA4#7-F1016* ist in Abbildung 4.5(a) dargestellt und hat einen nahezu horizontalen Verlauf welcher mit einem nahezu ohmschen Verhalten gleichzusetzen ist. Der Stromfluss von $I_{DS}(V_{DS} = -3V, V_{BG} = -15V) = 8,2 \cdot 10^{-7}A$ ist in der gleichen Größenordnung wie bei MoLGFETs und BiLGFETs. Die Ausgangskennlinie in 4.5(b) ist linear, was auf eine fehlende Gate-Kontrolle schließen lässt. Im Kanalbereich dieses Transistors wurde das Raman-Spektrum von mehrlagigem Graphen gemessen, welches in Kapitel 3.4.3 diskutiert wurde.



(a) *GRA4#7-F1016* Unterschwellenkennlinien



(b) *GRA4#7-F1016* Ausgangskennlinien

Abbildung 4.5: Elektrische Charakterisierung des FewLGFET *GRA4#7-F1016*.

4.4 Ladungsträgerbeweglichkeit in GFETs

Die Ladungsträgerbeweglichkeit μ in Graphen ist abhängig von der Anzahl der gestapelten Graphenschichten. Die extrem hohe Ladungsträgerbeweglichkeit von idealem einlagigem Graphen von $10^6 \text{cm}^2(\text{Vs})^{-1}$ wird nur erreicht, wenn das einlagige Graphen frei schwebend kontaktiert werden kann [1]. Sobald das Graphen mit einem Substrat in Kontakt ist, verringert sich die Leitfähigkeit deutlich und beträgt, beispielsweise in [1, 58, 79]

$$3000 \text{cm}^2(\text{Vs})^{-1} \leq \mu_{\text{MoLG,Lit}} \leq 8000 \text{cm}^2(\text{Vs})^{-1} .$$

Sie ist abhängig von geladenen Verunreinigungen des Substrats, auf welchem sich das Graphen befindet [79]. Es wird angenommen, dass die Streuung der Elektronen in einlagigem Graphen durch *Remote Coulomb Scattering* (RCS) von Ladungsträgern an der Graphen/ SiO_2 -Grenzfläche geschieht, da es keine Coulomb-Streuzentrum in undotiertem Graphen gibt.

Für zweilagiges Graphen beträgt die in [79] bestimmte Ladungsträgerbeweglichkeit

$$1800 \text{cm}^2(\text{Vs})^{-1} \leq \mu_{\text{BiLG,Lit}} \leq 3000 \text{cm}^2(\text{Vs})^{-1} .$$

Zusätzlich zu der Streuung von Ladungsträgern an der Graphen/ SiO_2 -Grenzfläche kommt eine Streuung der Ladungsträger zwischen den beiden Graphenschichten hinzu. Dadurch ist die Beweglichkeit der Ladungsträger in BiLG gegenüber MoLG verringert.

Auf Basis der Unterschwellensteigung $g_m = \left. \frac{\partial I_{\text{DS}}}{\partial V_{\text{BG}}} \right|_{V_{\text{DS}}}$ von MoLGFETs und BiLGFETs kann die Ladungsträgerbeweglichkeit [80] von in-situ CCVD gewachsenen GFETs abgeschätzt werden:

$$\mu_{\text{CCVD GFET}} = \frac{g_m \cdot L_{\text{nom}}}{B_{\text{nom}} \cdot C_{\text{SiO}_2} \cdot V_{\text{DS}}} < 100 \text{cm}^2(\text{Vs})^{-1}$$

Die Ladungsträgerbeweglichkeit ist damit um mehr als eine Größenordnung geringer als in [79]. Die in [79] verwendeten Graphenproben wurden auf die Substratoberfläche transferiert. Es wird angenommen, dass die Wechselwirkung zwischen der Graphenprobe und der Substratoberfläche geringer ist als bei in-situ CCVD gewachsenem Graphen auf SiO_2 . Eine stärkere Wechselwirkung der Ladungsträger mit der Substratoberfläche führt zu erhöhtem *remote coulomb scattering* wodurch die Ladungsträgerbeweglichkeit sinkt.

4.5 Kontaktwiderstand in GFETs

Bei einem typischen, in dieser Arbeit gemessenen, maximalen Stromfluss von MoLGfETs und BiLGfETs von $\approx 1 \cdot 10^{-6} \text{ A}$ beträgt der Gesamtwiderstand R_{ges} etwa $1 \cdot 10^6 \Omega$. Dieser setzt sich aus dem Widerstand der Zuleitung $R_{\text{Zuleitung}}$, dem Kontaktwiderstand R_{Kontakt} und dem Widerstand des Graphens R_{Graphen} zusammen und ist schematisch in Abbildung 4.6 dargestellt. Der Widerstand der Zuleitung kann durch Messungen zu $R_{\text{Zuleitung}} = 1 \cdot 10^5 \Omega$ bestimmt werden. Zur Bestimmung des Kontaktwiderstands von einlagigen und mehrlagigen Graphentransistoren haben Nagashio et al. [79] Vier-Spitzen-Messungen an mehreren Graphenproben vorgenommen, wobei die Graphenproben mit Chrom/Gold-Kontakten versehen wurden. Der Kontaktwiderstand konnte zu 10^3 bis $10^6 \Omega \mu\text{m}$ bestimmt werden und ist unabhängig von der Anzahl der gestapelten Graphenschichten. Venugopal et al. [81] kontaktierten Graphenproben mit Nickel und bestimmten den Kontaktwiderstand zu $R_{\text{Kontakt}} \geq 790 \pm 300 \Omega$. Allerdings sind die Graphenschichten bei diesen Experimenten vergleichsweise großflächig mit dem Metall in Kontakt. Bei in-situ CCVD gewachsenen GFETs ist der Kontaktbereich zwischen dem Kontaktmetall Nickel und dem Graphen etwa $2 \mu\text{m} \times 0,3 \text{ nm}$ groß (Höhe einer Graphenlage), da nur die Kante des Graphens mit dem Nickel in Kontakt ist. Daher wird angenommen, dass Grenzflächenzustände am Nickel/Graphen Kontakt einen deutlichen Einfluss auf den Kontaktwiderstand haben.

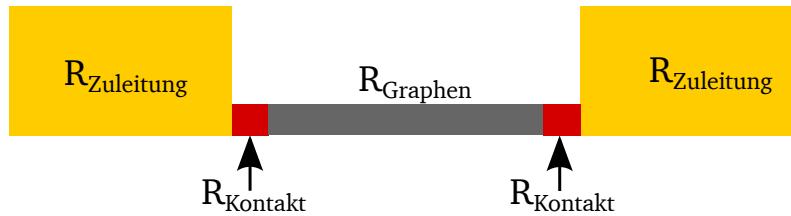


Abbildung 4.6: Kontaktwiderstand in GFETs.

Die Ladungsträgerbeweglichkeit beträgt $\mu_{\text{CCVD GFET}} < 100 \text{ cm}^2(\text{Vs})^{-1}$. Aus $\sigma = q \cdot n \cdot \mu$ mit der Leitfähigkeit σ der elektrischen Ladung q und einer Ladungsträgerdichte von $n_{\text{MoLG}} = 10^{12} \text{ cm}^{-2}$ folgt der Widerstand des Graphens zu $R_{\text{Graphen}} \geq 6,2 \cdot 10^4 \Omega$. Dieser ist somit um etwa Faktor 10 größer als der in [81] beschriebene Widerstand. Aus

$$R_{\text{ges}} = 2 \cdot R_{\text{Zuleitung}} + 2 \cdot R_{\text{Kontakt}} + R_{\text{Graphen}} \implies R_{\text{Kontakt}} = \frac{1}{2} (R_{\text{ges}} - 2 \cdot R_{\text{Zuleitung}} - R_{\text{Graphen}})$$

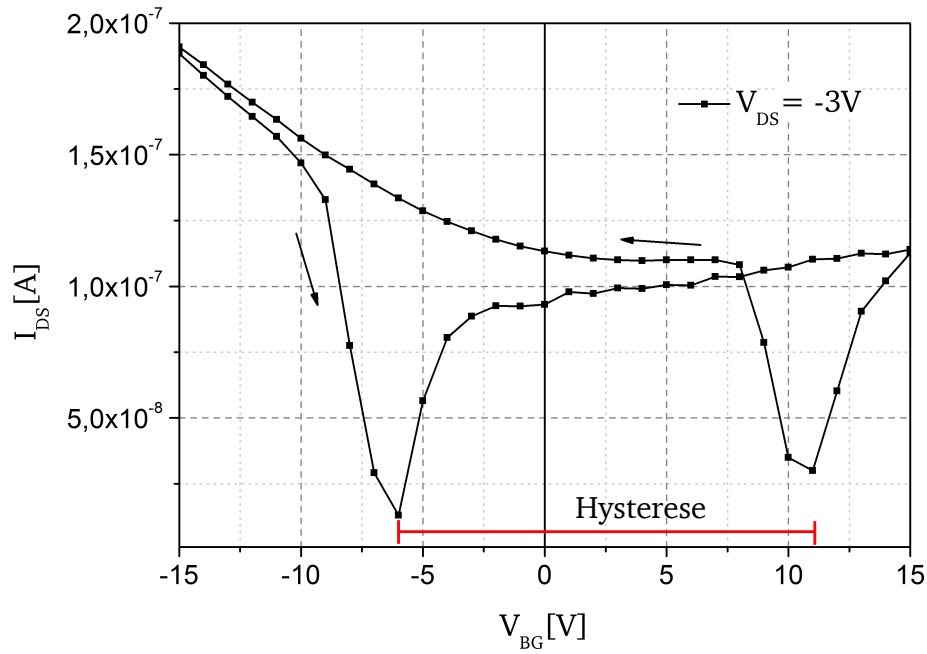
wird somit ein Kontaktwiderstand von $R_{\text{Kontakt}} \approx 3,7 \cdot 10^5 \Omega$ abgeleitet.

$R_{\text{Kontakt}} \approx 3,7 \cdot 10^5 \Omega$ ist um den Faktor 6 größer als $R_{\text{Graphen}} \geq 6,2 \cdot 10^4 \Omega$. Somit bestimmt in diesem Fall der Kontaktwiderstand den maximalen Strom I_{ON} . Gelingt es, den Kontaktwiderstand zu verringern, so limitiert der Graphenkanal den maximalen Strom. Zur Erhöhung des maximalen Stroms muss dann die Leitfähigkeit des Graphens erhöht werden.

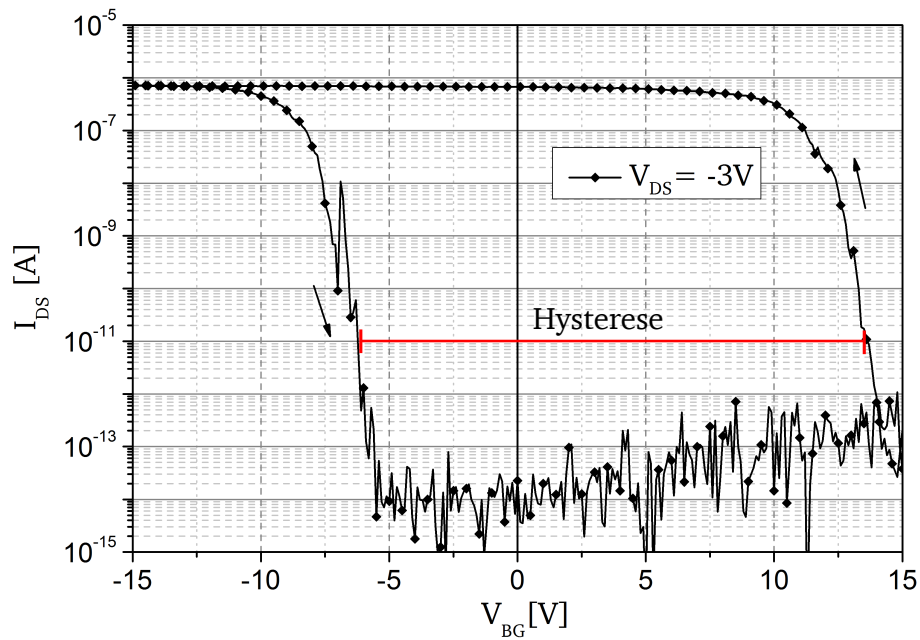
4.6 Hysterese in GFETs

Zur Bestimmung einer Hysterese in GFETs wird die Backgate-Spannung beispielsweise in der Reihenfolge von $V_{BG} = -15V$ nach $V_{BG} = +15V$ und wieder $V_{BG} = -15V$ durchfahren. Abbildung 4.7 zeigt die Unterschwellenkennlinie des MoLGFET *GRA4#1-F5045*. Der Dirac-Punkt verschiebt sich hierbei von $V_{BG} = -6V$ nach $V_{BG} = 11V$, was einer Hysterese von $\Delta V_{BG} = 17V$ entspricht. Die elektrische Charakterisierung von 40 MoLGFETs zeigt eine mittlere Hysterese von $\Delta V_{BG} = 16,8V \pm 20\%$. M. Lemme [82] berichtete über eine Hysterese von $\Delta V_{BG} = 22V$ eines MoLGFET mit einem vorderseitigen Gate-Anschluss. Graphene *Nanoribbons*, Graphenstreifen mit einer Breite von etwa zehn Nanometern, auf einem Al_2O_3 Substrat mit vorderseitigem Gate-Anschluss wurden von Kumar et al. [59] untersucht und weisen eine Hysterese von $\Delta V_{BG} = 20V$ auf. Wang et al. [18] berichten über eine positive Hysterese in MoLGFETs in derselben Größenordnung wie [82] und [59]. In-Situ CCVD gewachsene BiLGFETs zeigen eine mittlere Hysterese von $\Delta V_{BG} = 19,5V \pm 20\%$. Als Ursache für die Hysterese in GFETs werden verschiedene Mechanismen erwogen. Wang et al. [18] diskutieren zwei verschiedene Mechanismen welche die Hysterese verursachen können, namentlich Ladungsträgertransfer vom Graphen in das Siliziumdioxid und *capacitive gating*, d.h. der Einfluss von Dipolen im Substrat (SiO_2) welche durch ein elektrisches Feld ausgerichtet werden. Weiterhin ist es möglich, dass Wassermoleküle, welche an der Graphenoberfläche adsorbieren, durch das elektrische Feld des Backgates ausgerichtet werden und ebenfalls zum Effekt des *capacitive gating* beitragen. Ladungsträgerinjektion in das SiO_2 durch Fowler-Nordheim-Tunnel kann als Ursache für die Hysterese ausgeschlossen werden, da hierfür eine elektrische Feldstärke von $6,7 \cdot 10^6 V cm^{-1}$ für Graphen auf SiO_2 notwendig ist [83] und durch das Backgate nur eine Feldstärke von $1,5 \cdot 10^6 V cm^{-1}$ auf die Ladungsträger wirkt. Da die Hysterese auch bei Messungen unter Vakuumbedingungen ($P = 5 \cdot 10^{-3}$ mbar) auftritt, ist dies ein starkes Indiz für Ladungsträgereinfangstellen an der Graphen/ SiO_2 -Grenzfläche [82]. Die Hysterese in beiden Transistortypen, d.h. MoLGFETs und BiLGFETs, entsteht höchstwahrscheinlich durch Einfang von Ladungsträgern an der Graphen/ SiO_2 -Grenzfläche sowie einem Beitrag durch *capacitive gating*.

Wie in Abbildung 4.7(a) gezeigt führt das Durchfahren der Backgate-Spannung zu einer Verschiebung des Dirac-Punktes. Die Richtung der Verschiebung des Dirac-Punktes kann durch den Ort und die Art der Ladungen an der Graphen/ SiO_2 -Grenzfläche erklärt werden. Beginnt das Durchfahren der Backgate-Spannung im negativen Bereich, gelangen Löcher im Graphen langsam in die Ladungsträgereinfangstellen. Dadurch erfährt das Graphen nach einiger Zeit ein positiveres Potential als es dies allein durch die Backgate-Spannung erfahren würde (und umgekehrt im Falle einer positiven Backgate-Spannung). Diese eingefangenen Ladungen unter dem Graphen 'dotieren' das Graphen in die entgegengesetzte Polarität. Ladungsträgereinfangstellen

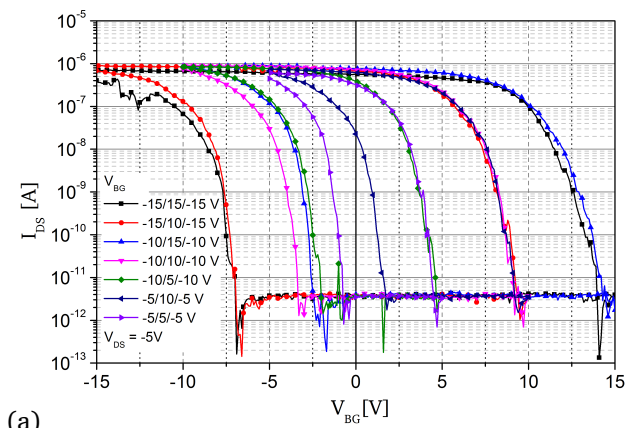


(a) *GRA4#1-F5045*

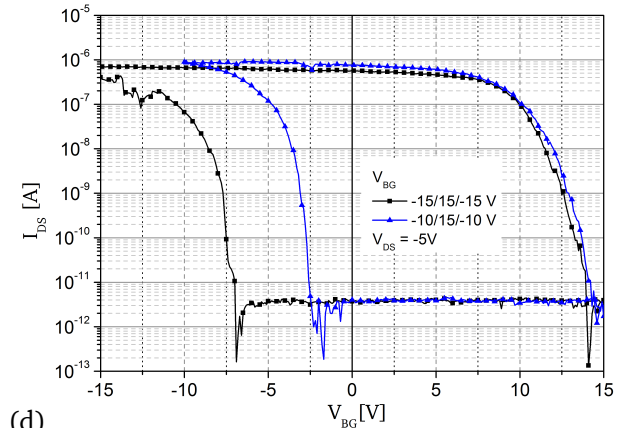


(b) *GRA4#3-F1026*

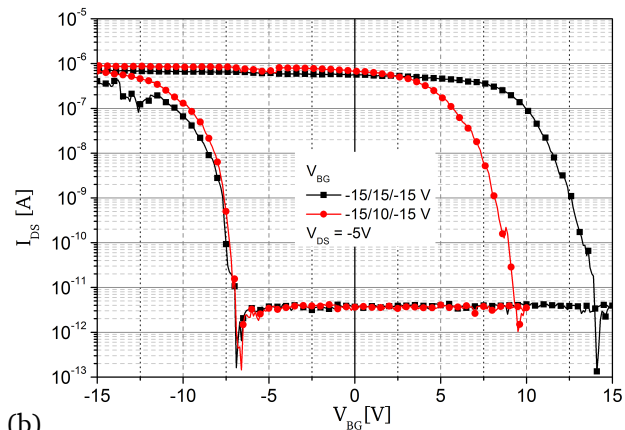
Abbildung 4.7: Darstellung der Hysterese in der Unterschwellenkennlinie eines MoLGFETs und eines BiLGFETs. (a) Unterschwellenkennlinie des MoLGFET *GRA4#1-F5045*. Die Backgate-Spannung wird hierbei von $V_{BG} = -15V$ nach $V_{BG} = +15V$ und wieder $V_{BG} = -15V$ durchfahren. (b) Unterschwellenkennlinie des BiLGFET *GRA4#3-F1026*.



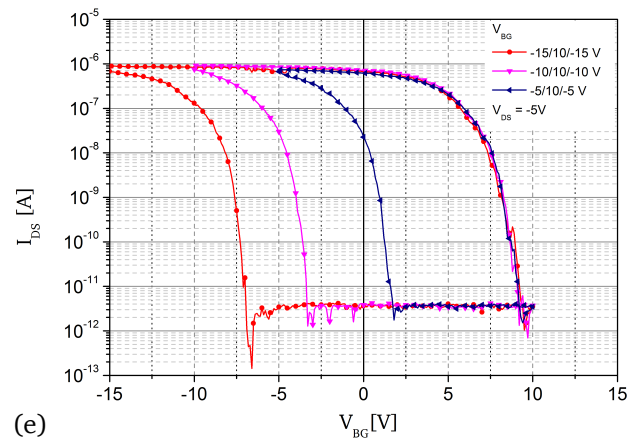
(a)



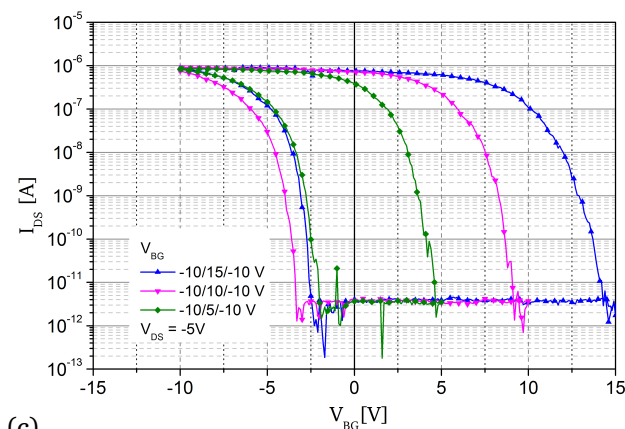
(d)



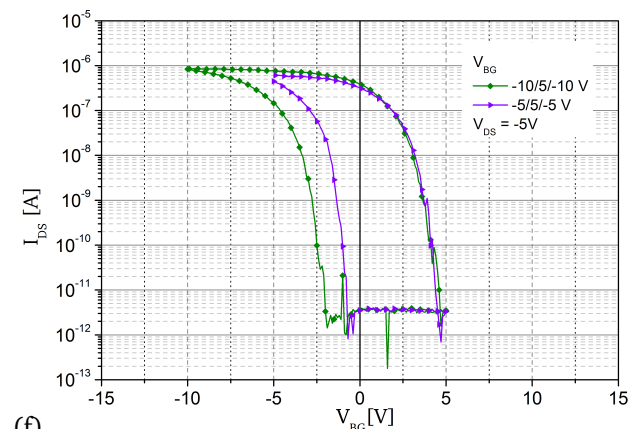
(b)



(e)



(c)



(f)

Abbildung 4.8: Darstellung der Hysterese in der Unterschwellenkennlinie des BiLGFET GRA10#5-F2038.

werden offenbar auf einer Zeitskala geladen, welche für die Messungen relevant ist [18]. Daher führt das Durchfahren der Backgate-Spannung in einem positiven Verlauf dazu, dass der Dirac-Punkt zu einer positiveren Spannung verschoben wird. Bei einem negativen Verlauf wird der Dirac-Punkt zu einer negativeren Spannung hin verschoben. Die Ladungsträger bleiben in den Ladungsträgereinfangstellen bis die Polarität des Backgates umgekehrt wird.

Abbildung 4.8 zeigt die Unterschwelkenennlinien des BiLGFET *GRA10#5-F2038* für unterschiedliche Bereiche, welche die Backgatespannung durchfahren hat. Auf Basis der Übersichtsdarstellung in Abbildung 4.8(a) sind in 4.8(b) Unterschwelkenennlinien mit einer minimalen Backgate-Spannung von $V_{BG} = -15V$, in 4.8(c) mit einer minimalen Backgate-Spannung von $V_{BG} = -10V$ dargestellt. Unabhängig von der minimalen Backgate-Spannung ist der BiLGFET jeweils nach durchfahren von $V_{BG} = 8V$ ausgeschaltet. In den Abbildungen 4.8(d,e,f) sind die Unterschwelkenennlinien des BiLGFET bei einer maximalen Backgate-Spannung von $V_{BG} = 15V$, $V_{BG} = 10V$ und $V_{BG} = 5V$ dargestellt. Unabhängig von der maximalen Backgate-Spannung beginnt der Einschaltvorgang des BiLGFET nach ungefähr 1V durchfahrener Backgate-Spannung und ist nach weiteren 10V durchfahrener Backgate-Spannung vollständig eingeschaltet. Die Unterschwelkensteigung ist unabhängig von der minimalen und der maximalen Backgate-Spannung. Somit ist die Hysterese an die minimale und maximale Backgate-Spannung gebunden.

4.7 Temperaturabhängigkeit von BiLGFETs

Zur Untersuchung der Temperaturabhängigkeit der Bauelementeigenschaften eines BiLGFET wurde Wafer *GRA6#8* auf den Chuck des Parameteranalyzers SCS4200 gelegt. Die Temperatur des Chucks kann von Raumtemperatur ausgehend in Schritten von 1°C bis auf 200°C erhöht werden. Abbildung 4.9 zeigt die Unterschwelkenennlinie des BiLGFETs bei unterschiedlichen Temperaturen. Der BiLGFET weist ein I_{ON}/I_{OFF} -Verhältnis von $> 10^6$ bei Raumtemperatur auf.

In Abbildung 4.11 (a) ist der Strom des BiLGFET *GRA6#8-F5055* im angeschalteten Zustand $I_{ON}(V_{BG} = -15V, T)$ normiert auf $I_{ON}(V_{BG} = -15V, 29^\circ C)$ dargestellt. Der sinkende Strom I_{ON} ist verbunden mit der Abnahme der Ladungsträgermobilität μ bei steigender Temperatur. Die Unterschwelkensteigung g_m ist proportional zur Ladungsträgermobilität μ . Aus den Unterschwelkenennlinien bei unterschiedlicher Temperatur kann die Abhängigkeit der Unterschwelkensteilheit von der Temperatur bestimmt werden, welche ebenfalls in Abbildung 4.11 (a) dargestellt ist. $I_{ON}(T)$ und $g_m(T)$ zeigen eine ähnliche Abhängigkeit von der Temperatur. Dies belegt, dass die Abnahme von I_{ON} bei steigender Temperatur mit Abnahme der Ladungsträgermobilität μ bei steigender Temperatur zusammenhängt.

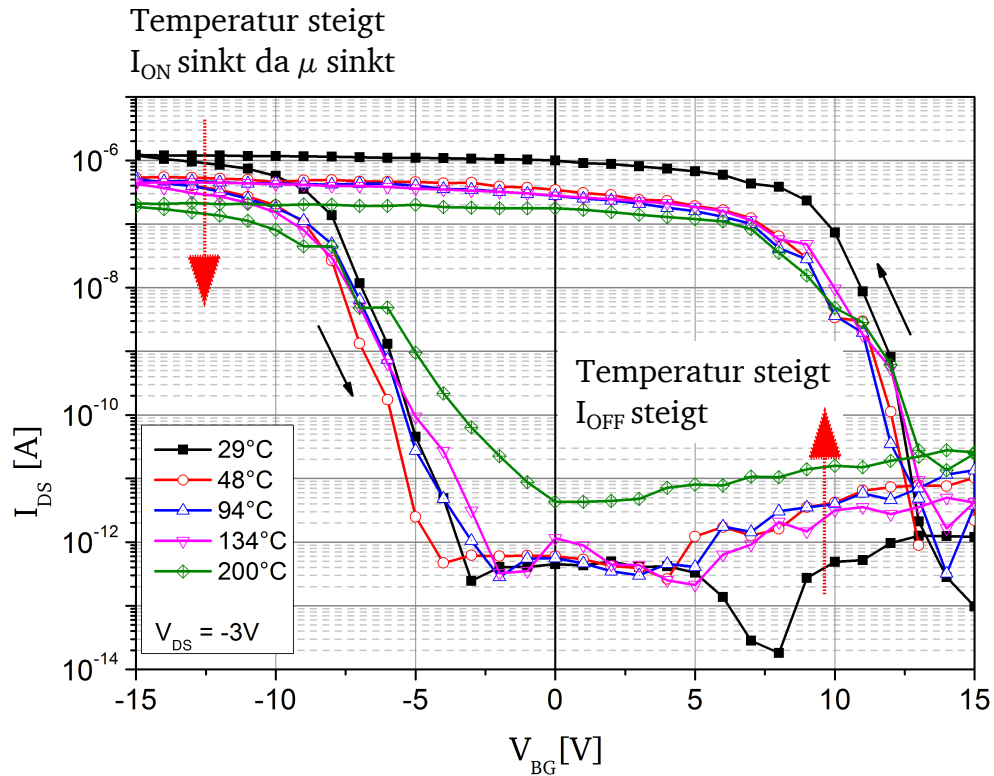
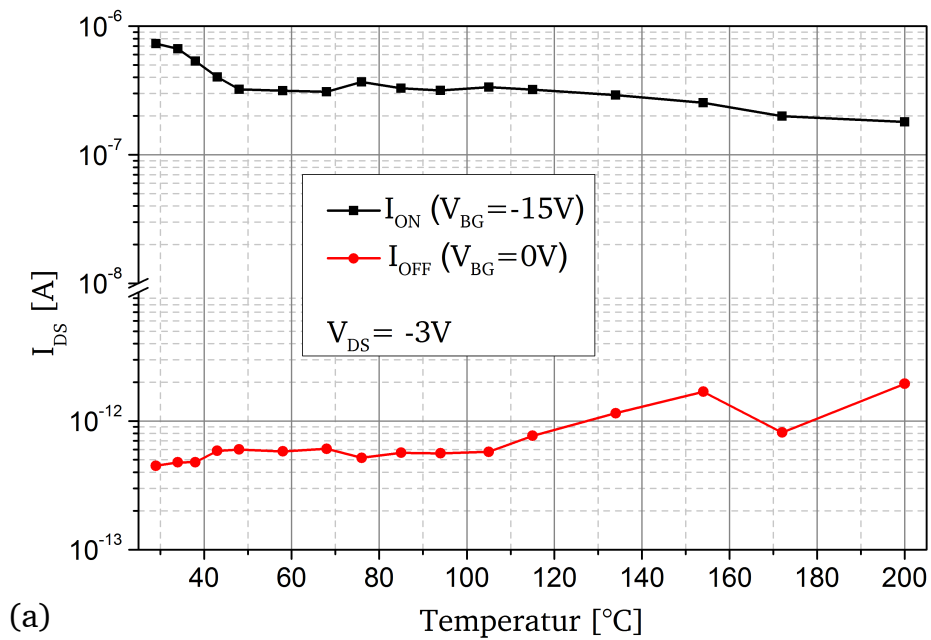


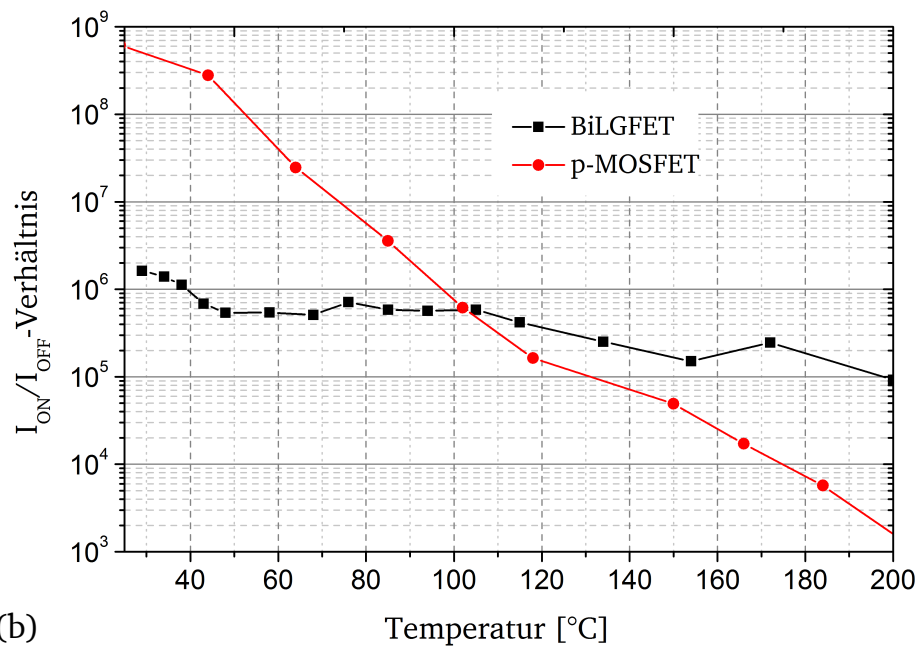
Abbildung 4.9: Unterschwellenkennlinien des BiLGFET *GRA6#8-F5055* bei schrittweiser Erhöhung der Temperatur bis auf 200 °C.

Die Hysterese des BiLGFETs *GRA6#8-F5055* in Abhängigkeit von der Temperatur ist in Abbildung 4.11(b) dargestellt. Ausgehend von $\Delta V_{BG}(42^\circ\text{C}) = 17\text{V}$ über $\Delta V_{BG}(94^\circ\text{C}) = 15\text{V}$ auf $\Delta V_{BG}(200^\circ\text{C}) = 13\text{V}$ nimmt die Hysterese bei steigender Temperatur ab. In diesem Temperaturbereich ist die Hysterese annähernd linear abhängig von der Temperatur, abgesehen von einem Ausreißer bei 134 °C. Wie bereits erwähnt, entsteht die Hysterese in GFETs durch Ladungsträgerneinfang an der Graphen/SiO₂-Grenzfläche. Bei steigender Temperatur wird der Ladungsträgertransport vom Graphen in die Ladungsträgerneinfangstellen an der Graphen/SiO₂-Grenzfläche (und umgekehrt) erleichtert, wodurch die Hysterese bei steigender Temperatur abnimmt.

Abbildung 4.10 (a) zeigt $I_{ON}(V_{BG} = -15\text{V}, T)$ und $I_{OFF}(V_{BG} = 0\text{V}, T)$. I_{ON} wird um einen Faktor vier kleiner, wenn die Temperatur auf 200 °C erhöht wird, wobei I_{OFF} um weniger als eine Größenordnung bei gleicher Temperaturänderung steigt. Dies führt zu einem verringerten I_{ON}/I_{OFF} -Verhältnis von 10^5 bei 200 °C für den untersuchten BiLGFET. Die Verringerung des I_{ON}/I_{OFF} -Verhältnis von etwa einer Größenordnung kann teilweise auf den Einfluss der Schottky-Barrieren zurückgeführt werden. Der ansteigende I_{OFF} -Strom ist ein Hinweis auf eine steigende Wahrscheinlichkeit für thermische Emission von Ladungsträgern über die Schottky-Barriere bei steigender Temperatur. Die thermische Emission von Ladungsträgern über den Graphen/Metall Kontakt ist proportional zu $\exp\left\{\frac{qV}{k_B T}\right\}$ [27].



(a)



(b)

Abbildung 4.10: Aus den Unterschwellenkennlinien des BiLGFET *GRA6#8-F5055*: (a) I_{ON} und I_{OFF} des BiLGFETs in Abhängigkeit der Temperatur. (b) Vergleich des I_{ON}/I_{OFF} -Verhältnisses des BiLGFETs mit dem I_{ON}/I_{OFF} -Verhältnis eines am IHTN hergestellten p-MOSFET in Abhängigkeit von der Temperatur.

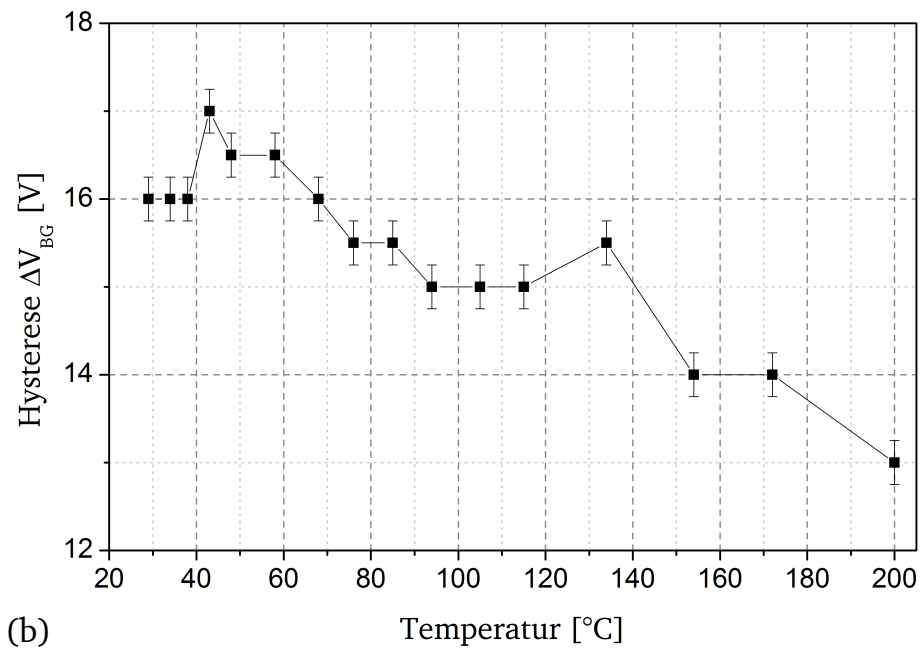
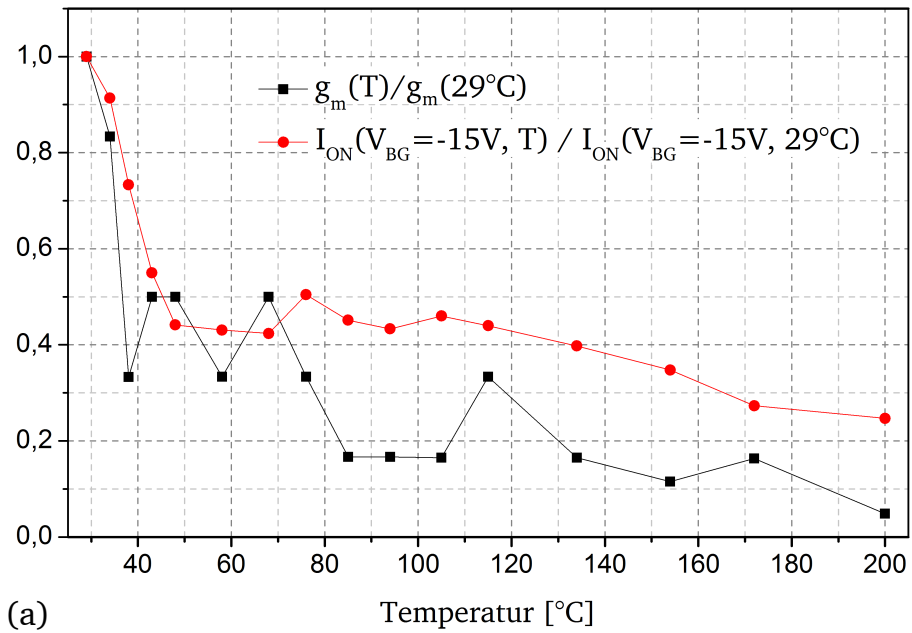


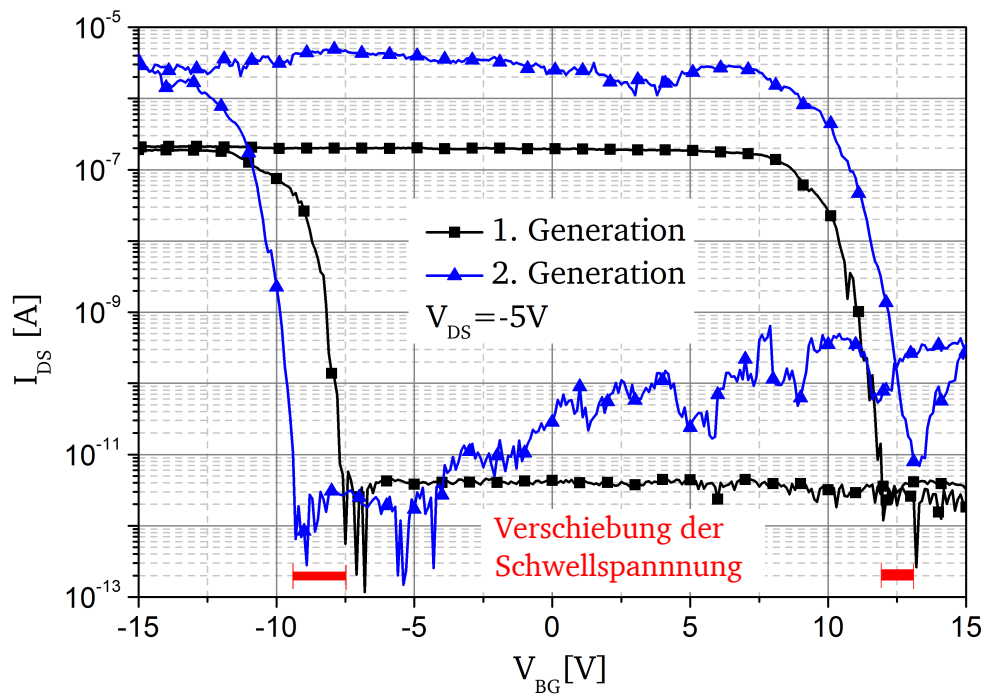
Abbildung 4.11: Aus den Unterschwellenkenlinien des BiLGFET *GRA6#8-F5055*: (a) Abhängigkeit der Unterschwellensteigung $g_m(T)$ von der Temperatur normiert auf $g_m(29^\circ\text{C})$ sowie $I_{\text{ON}}(V_{\text{BG}} = -15\text{V}, T)$ normiert auf $I_{\text{ON}}(V_{\text{BG}} = -15\text{V}, 29^\circ\text{C})$. (b) Hysteresis des BiLGFET in Abhängigkeit von der Temperatur.

Abbildung 4.10(b) zeigt den Vergleich des $I_{\text{ON}}/I_{\text{OFF}}$ -Verhältnisses des BiLGFET *GRA6#8-F5055* mit dem $I_{\text{ON}}/I_{\text{OFF}}$ -Verhältnis eines Referenz p-MOSFET, welcher ebenfalls am IHTN hergestellt wurde (siehe Kapitel 2.3). Obwohl der p-MOSFET über ein sehr hohes $I_{\text{ON}}/I_{\text{OFF}}$ -Verhältnis von $5 \cdot 10^8$ bei Raumtemperatur verfügt, sinkt das $I_{\text{ON}}/I_{\text{OFF}}$ -Verhältnis bei steigender Temperatur rapide und ist bereits bei 100°C auf das Niveau des BiLGFETs gefallen. Insgesamt verringert sich das $I_{\text{ON}}/I_{\text{OFF}}$ -Verhältnis des p-MOSFET um 5 Größenordnungen (!) bei einer Erhöhung der Temperatur von Raumtemperatur auf 200°C . Ursache dafür ist die thermische Generierung von Elektron/Loch-Paaren, wodurch der Leckstrom in das Substrat steigt. Die abnehmende Sperrwirkung der Diode an der Drain-Seite verursacht ein sinkendes $I_{\text{ON}}/I_{\text{OFF}}$ -Verhältnis des MOSFETs. In Hinblick auf digitale Logik sollte das $I_{\text{ON}}/I_{\text{OFF}}$ -Verhältnis größer 10^4 sein, um eine sichere Zustandsunterscheidung zu ermöglichen. Das bei steigender Temperatur sinkende $I_{\text{ON}}/I_{\text{OFF}}$ -Verhältnis bedingt, dass an- und ausgeschalteter Zustand des MOSFETs nicht mehr eindeutig unterschieden werden können. Da das $I_{\text{ON}}/I_{\text{OFF}}$ -Verhältnis des BiLGFET im gleichen Temperaturbereich nur um etwa eine Größenordnung sinkt, ist es möglich, BiLGFETs für Anwendungen bei erhöhten Temperaturen energieeffizient einzusetzen. Dadurch kann auch Energie für die Kühlung der Bauelemente eingespart werden. Desweiteren ist eine Energieersparnis durch die geringeren Leckströme möglich.

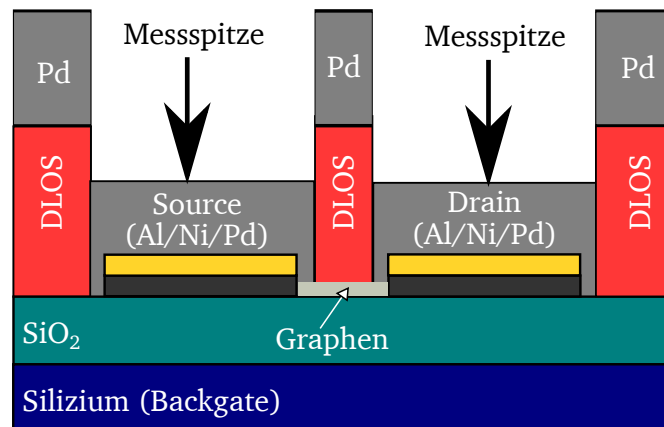
4.8 BiLGFETs der zweiten Generation

Bei BiLGFETs der zweiten Generation handelt es sich um eine Weiterentwicklung der Kontaktierung von BiLGFETs gegenüber der ersten Generation. Hierbei wird das Kanalmaterial Graphen durch Palladium kontaktiert um den Kontaktwiderstand zu verringern (siehe Kapitel 3.2.10). Abbildung 4.12(a) zeigt die Unterschwelenkennlinie des BiLGFET *GRA12#7-Q1F2555* wenn das zweilagige Graphen wie ursprünglich direkt durch die Aluminium/Nickel-Katalysatorschicht kontaktiert wird. Zusätzlich ist die Unterschwelenkennlinie des BiLGFET nach der Kontaktierung mit Palladium dargestellt.

Durch die Kontaktierung des zweilagigen Graphens mit Palladium konnte I_{ON} um Faktor 10 erhöht werden. Dies entspricht einer Verringerung des Kontaktwiderstands um eine Größenordnung. Die Unterswellensteilheit der Unterschwelenkennlinie der ersten Generation und der zweiten Generation zeigen keine statistisch relevante Veränderung, was auf eine äquivalente Ladungsträgerbeweglichkeit schließen lässt. Eine mögliche Verringerung der Ladungsträgerbeweglichkeit von GFETs der zweiten Generation gegenüber GFETs der ersten Generation, aufgrund des Kontakts des BiLGs zu PMMA, kann daraus nicht abgeleitet werden. Durch die Verringerung des Kontaktwiderstands R_{Kontakt} um eine Größenordnung nähert sich dieser betragsmäßig dem



(a)



(b)

Abbildung 4.12: (a) Unterschwellenkennlinie des BiLGFETs *GRA12#7-Q1-F2555* der ersten und zweiten Generation. Die Unterschwellenkennlinie wurde vor und nach der Kontaktierung desselben BiLGFETs mit Palladium gemessen. (b) Querschnitt durch die schematische Darstellung eines BiLGFETs der zweiten Generation.

Widerstand des Graphens R_{Graphen} . Um den Gesamtwiderstand R_{ges} weiter verringern zu können um I_{ON} zu erhöhen, muss zusätzlich die Ladungsträgerbeweglichkeit im BiLG erhöht werden.

Nachdem der BiLGFET bei $V_{\text{BG}} = -9\text{V}$ ausgeschaltet ist, steigt I_{OFF} ab $V_{\text{BG}} = -4\text{V}$ insgesamt um zwei Größenordnungen an. Die Austrittsarbeit von Palladium in Kontakt mit dünnem Graphit beträgt $\phi_{\text{Pd}} = 4,3\text{eV}$ [70]. Somit ist die Austrittsarbeit von Palladium ϕ_{Pd} etwas größer als die Austrittsarbeit von Nickel, mit $\phi_{\text{Ni}} = 3,9\text{eV}$. Dadurch ist die Schottky-Barriere für Elektronen nun etwas geringer wodurch I_{OFF} steigt. Außerdem kommt es zu einer Verschiebung der Schwellspannung, bei welcher der BiLGFET ausschaltet. Dies führt in diesem Fall ebenfalls zu einer größeren Hysterese des BiLGFETs, da aufgrund des doppelagigen Lift-Off Systems (DLOS) nun zusätzlich Ladungsträgereinfangstellen an der Graphen/DLOS-Grenzfläche vorhanden sind. Zur Veranschaulichung ist ein Querschnitt durch einen BiLGFET der zweiten Generation in Abbildung 4.12(b) dargestellt. Durch das DLOS wird der Graphenkanal abgekapselt und vor Umwelteinflüssen geschützt. Die Herstellung von BiLGFETs der zweiten Generation ist detailliert in Kapitel 3.2.10 beschrieben.

Zusammenfassung

Die am IHTN in-situ CCVD und transferfrei hergestellten MoLGFETs besitzen eine, für großflächiges Graphen typische [1], ambipolare Unterschwelenkennlinie. Diese weist das bekannte geringe Verhältnis zwischen dem Strom im angeschaltetem Zustand I_{ON} und dem Stromfluss am Dirac-Punkt I_{Dirac} von $(I_{\text{ON}}/I_{\text{OFF}})_{\text{Dirac, Löcher}} = 16$ für Löcherleitung und $(I_{\text{ON}}/I_{\text{OFF}})_{\text{Dirac, Elektronen}} = 8$ für Elektronenleitung bei Raumtemperatur auf. Im Gegensatz dazu besitzen BiLGFETs ein $I_{\text{ON}}/I_{\text{OFF}}$ -Verhältnis von bis zu 10^7 bei Raumtemperatur und zeigen ein reines p-Typ Verhalten. Wird die Temperatur des BiLGFET auf 200°C erhöht, sinkt das $I_{\text{ON}}/I_{\text{OFF}}$ -Verhältnis lediglich um etwa eine Größenordnung. Die Hysterese von BiLGFETs ist stabil und ist abhängig von der minimalen sowie der maximalen Backgate-Spannung. Der Strom im angeschalteten Zustand I_{ON} von BiLGFETs der ersten Generation ist durch den Kontaktwiderstand limitiert. Durch die Kontaktierung des Graphens mit Palladium kann der Kontaktwiderstand verringert und damit I_{ON} um Faktor 10 erhöht werden. Die I_{ON} limitierende Größe ist nun die Ladungsträgerbeweglichkeit in BiLG. Mit $\mu_{\text{CCVD GFET}} < 100\text{cm}^2(\text{Vs})^{-1}$ ist diese deutlich geringer als die Ladungsträgerbeweglichkeit wie sie unter Verwendung von verspanntem Silizium im Kanal eines MOSFETs, mit $\mu_{\text{Si, n-dotiert, RT}} \approx 1000\text{cm}^2(\text{Vs})^{-1}$, erreicht werden kann. Damit die elektrischen Eigenschaften von BiLGFETs mit denen von MOSFETs konkurrieren können, muss die Ladungsträgerbeweglichkeit in BiLGFETs verbessert werden.

Kapitel 5

Anwendungsmöglichkeiten und Massenherstellung von BiLGFETs



5.1 Verwendung von BiLGFETs als Speicher

Wie in Kapitel 4.5 diskutiert, ist die Hysterese in BiLGFETs von der minimalen und maximalen Backgate-Spannung abhängig. Durch geeignete Wahl der minimalen und maximalen Backgate-Spannung kann der BiLGFET als Speicherbauelement genutzt werden. Abbildung 5.1(a) zeigt die Unterschwelkenennlinie des BiLGFET *GRA4#3-T5050*. Die Backgate-Spannung wird von $V_{BG} = -15V$ bis $V_{BG} = 15V$ und invers durchfahren. Um eine logische '1' zu schreiben, wird eine Backgate-Spannung von $V_{BG} = 15V$ angelegt. Im Gegensatz dazu wird eine logische '0' durch das Anlegen einer Backgate-Spannung von $V_{BG} = -15V$ geschrieben. Die gespeicherte Information kann bei einer Backgate-Spannung unterhalb der Schreibspannung, beispielsweise $V_{BG} = 4V$, gelesen werden. In Abbildung 5.1(b) ist ein Schreib- und Lese-Zyklus des BiLGFET *GRA4#3-T5050* dargestellt. Das Lesen einer logischen '0' mit der Backgate-Spannung $V_{BG} = 4V$ liefert einen Strom $I_{DS} = 10^{-11}A$. Beim Lesen einer logischen '1' wird ein Stromfluss von $I_{DS} = 2 \cdot 10^{-6}A$ gemessen. Das Speichern einer logischen '0' und einer logischen '1' ist reproduzierbar, wie die wiederholten Lese- und Schreibe-Zyklen zeigen. Das mehrfache Lesen einer logischen '1' bei einer Backgate-Spannung von $V_{BG} = 4V$ führt allerdings dazu, dass der gemessene Strom beim Lesen sinkt. Das Speichern der Information beruht auf der in GFETs beobachteten Hysterese, welche durch Einfang von Ladungsträgern an der Graphen/SiO₂-Grenzfläche sowie *capacitive gating* entsteht. Durch Lesen der Information bei einer Backgate-Spannung $V_{BG} \neq 0V$ werden die Ladungsträger an der Graphen/SiO₂-Grenzfläche sowie die durch das *capacitive gating* orientierten Dipole beeinflusst. Dadurch degradiert die gespeicherte Information.

Abbildung 5.2(a) zeigt die Unterschwelkenennlinie des BiLGFET *GRA4#3-C2516*. Die Backgate-Spannung wird von $V_{BG} = -10V$ bis $V_{BG} = 10V$ und invers durchfahren. Analog zu dem bereits diskutierten Lese- und Schreib-Zyklus wird hier die logische '1' bei einer Backgate-Spannung von $V_{BG} = 10V$ geschrieben, eine logische '0' bei einer Backgate-Spannung von $V_{BG} = -10V$. Das Lesen der gespeicherten Information erfolgt bei einer Backgate-Spannung von $V_{BG} = 0V$. Abbildung 5.2(b) zeigt mehrere Lese- und Schreibe-Zyklen der BiLGFETs. Durch das Lesen einer logischen '1' bei einer Backgate-Spannung von $V_{BG} = 0V$ bleibt der gemessene Strom von $I_{DS} = 1 \cdot 10^{-7}A$ konstant. Weitere Untersuchungen haben gezeigt, dass der Strom auch bei einer Lesedauer von 2 Minuten konstant bleibt. Gleiches gilt für das Lesen einer logischen '0'. Das I_{ON}/I_{OFF} -Verhältnis nimmt bei Erhöhung der Temperatur auf 200 °C im Vergleich zum I_{ON}/I_{OFF} -Verhältnis bei Raumtemperatur nur um eine Größenordnung ab. Dies ermöglicht es, in Kombination mit dem geringen Leckstrom, den BiLGFET als Speicher für Anwendungen bei erhöhter Temperatur einzusetzen.

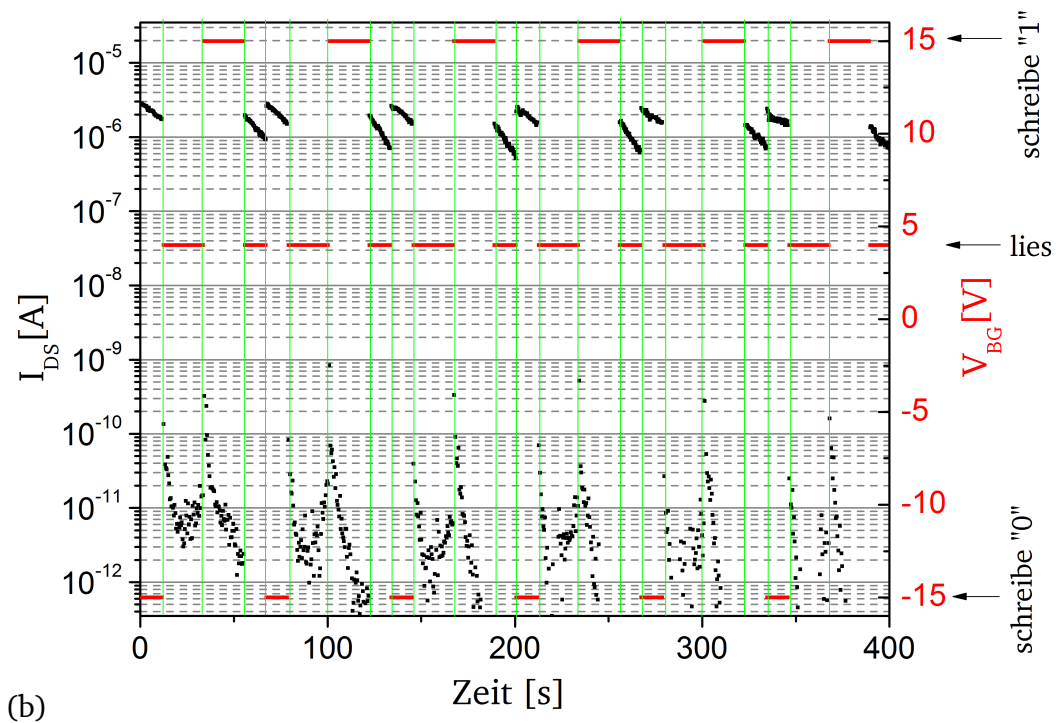
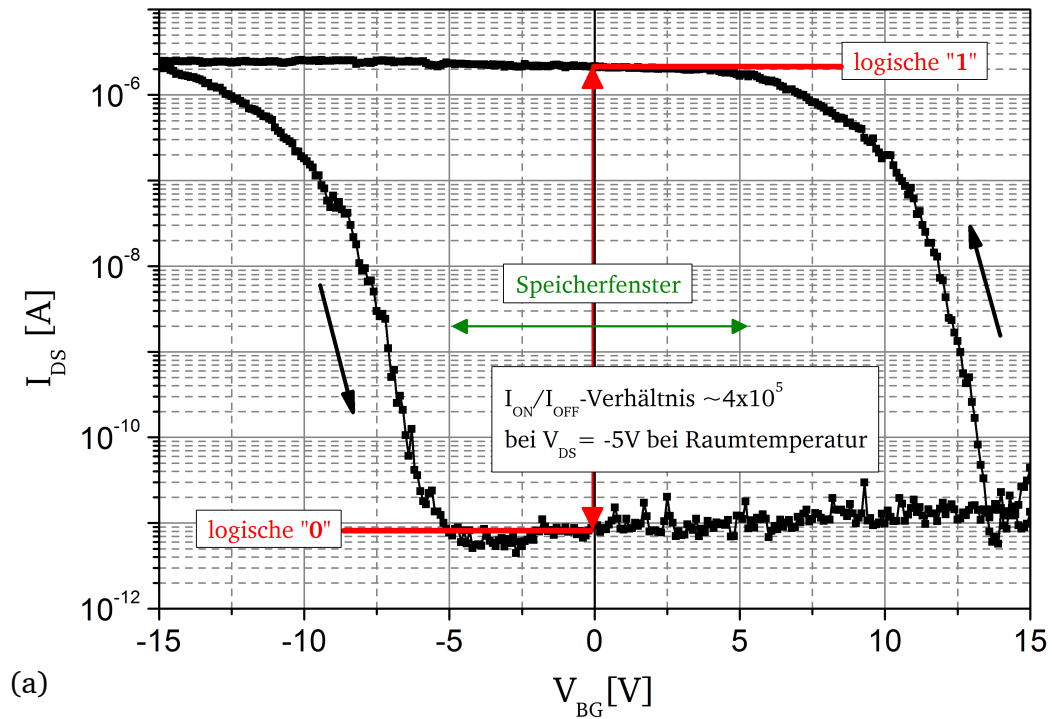


Abbildung 5.1: Verwendung des BiLGFET *GRA4#3-T5050* als Speicher. (a) Unterschwellenkennlinie, (b) Lese- und Schreib-Zyklen einer logischen '1' und einer logischen '0'.

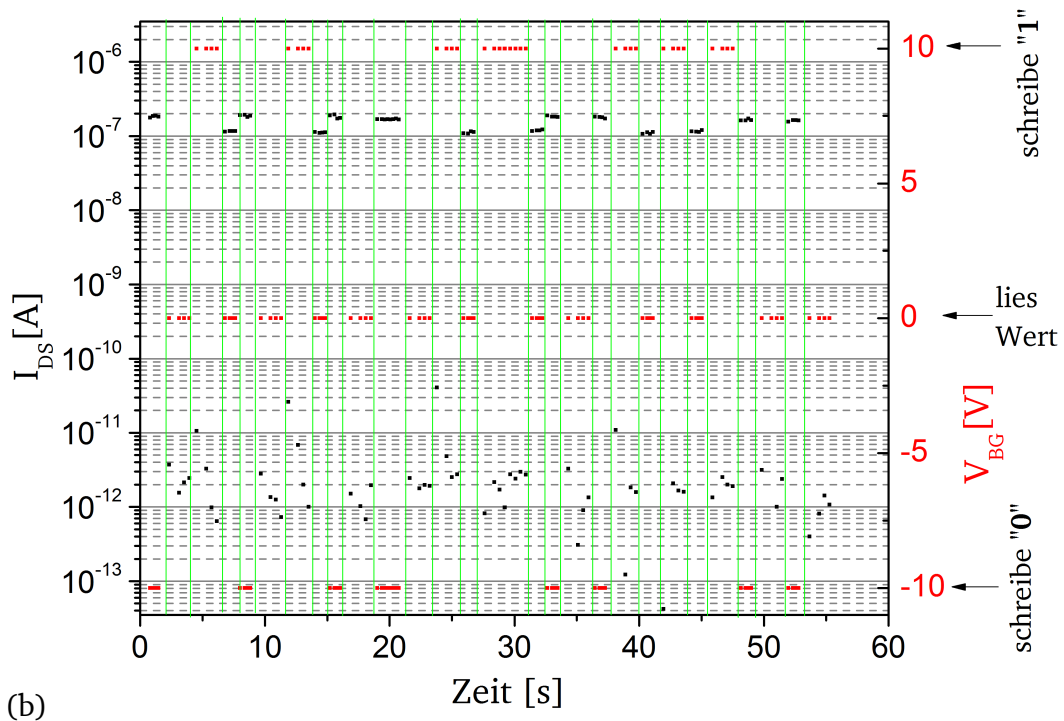
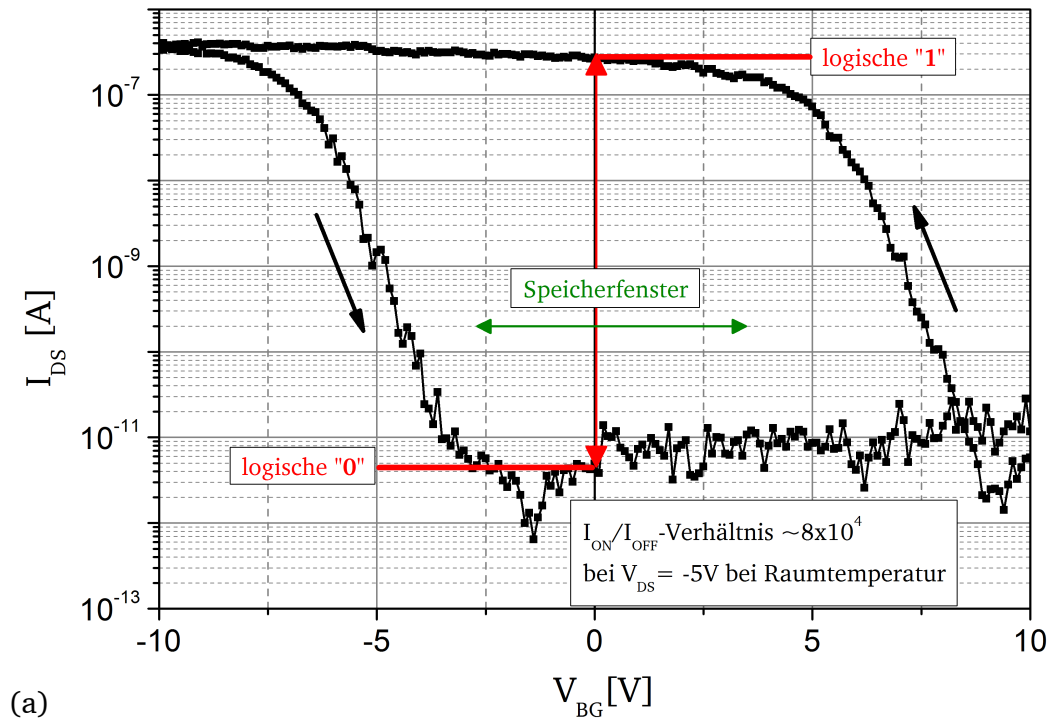


Abbildung 5.2: Verwendung des BiLGFET *GRA4#3-C2516* als Speicher. (a) Unterschwellenkennlinie, (b) Lese- und Schreib-Zyklen einer logischen '1' und einer logischen '0'.

5.2 Massenproduktion

Die Position des Graphenwachstums und damit die Position der GFETs wird vor dem Wachstumsprozess durch die lithographische Strukturierung des Katalysatorsystems bestimmt. Durch das direkte Wachstum der Graphenschichten auf SiO_2 , können infolge des Designs der Maske TUD-T62-M1 derzeit über 2000 GFETs gleichzeitig hergestellt werden. Die maximale Anzahl der GFETs die gleichzeitig hergestellt werden können ist somit lediglich durch das Maskendesign limitiert.

Bei einem nach Tabelle 3.11 durchgeführten Prozess sind 90 bis 100% der Transistoren funktionsfähig. Abbildung 5.3 zeigt exemplarisch die statistische Auswertung an etwa 300 GFETs für die Herstellung von BiLGFETs: insgesamt sind 92,8% funktionsfähig. 42,9% davon sind BiLGFETs, weitere 57,1% sind MoLGFETs oder FewLGFETs. Von diesen BiLGFETs besitzen 70,5% ein $I_{\text{ON}}/I_{\text{OFF}}$ -Verhältnis größer 10^4 . Die Gesamtausbeute an BiLGFETs mit einem $I_{\text{ON}}/I_{\text{OFF}}$ -Verhältnis größer 10^4 beträgt somit 28,1%.

Der CCVD basierte Wachstumsprozess für GFETs reagiert sensitiv auf die Schichtdicken des Katalysatorsystems. Die am IHTN verwendete Anlage zur Elektronenstrahlbedampfung wurde für Schichtdicken größer 100nm konzipiert. Die reproduzierbare Herstellung von 10nm Schichtdicken ist nicht möglich, die Katalysatordicke innerhalb eines Transistorbereichs schwankt meist bereits um $\pm 1,5\text{nm}$. Bereits kleine Abweichungen verändern die Bildung der Nickel-Nano-Cluster. Dies kann dazu führen, dass kein Graphenwachstum stattfindet oder die hergestellte Anzahl der gestapelten Graphenschichten von der gewünschten Anzahl abweicht. Daher sollte eine bessere Kontrolle die Schichtdicken des Katalysatorsystems, beispielsweise mit Atomlagenabscheidung (*atomic layer deposition* (ALD)), die Ausbeute an funktionsfähigen BiLGFETs mit einem $I_{\text{ON}}/I_{\text{OFF}}$ -Verhältnis größer 10^4 ermöglichen.

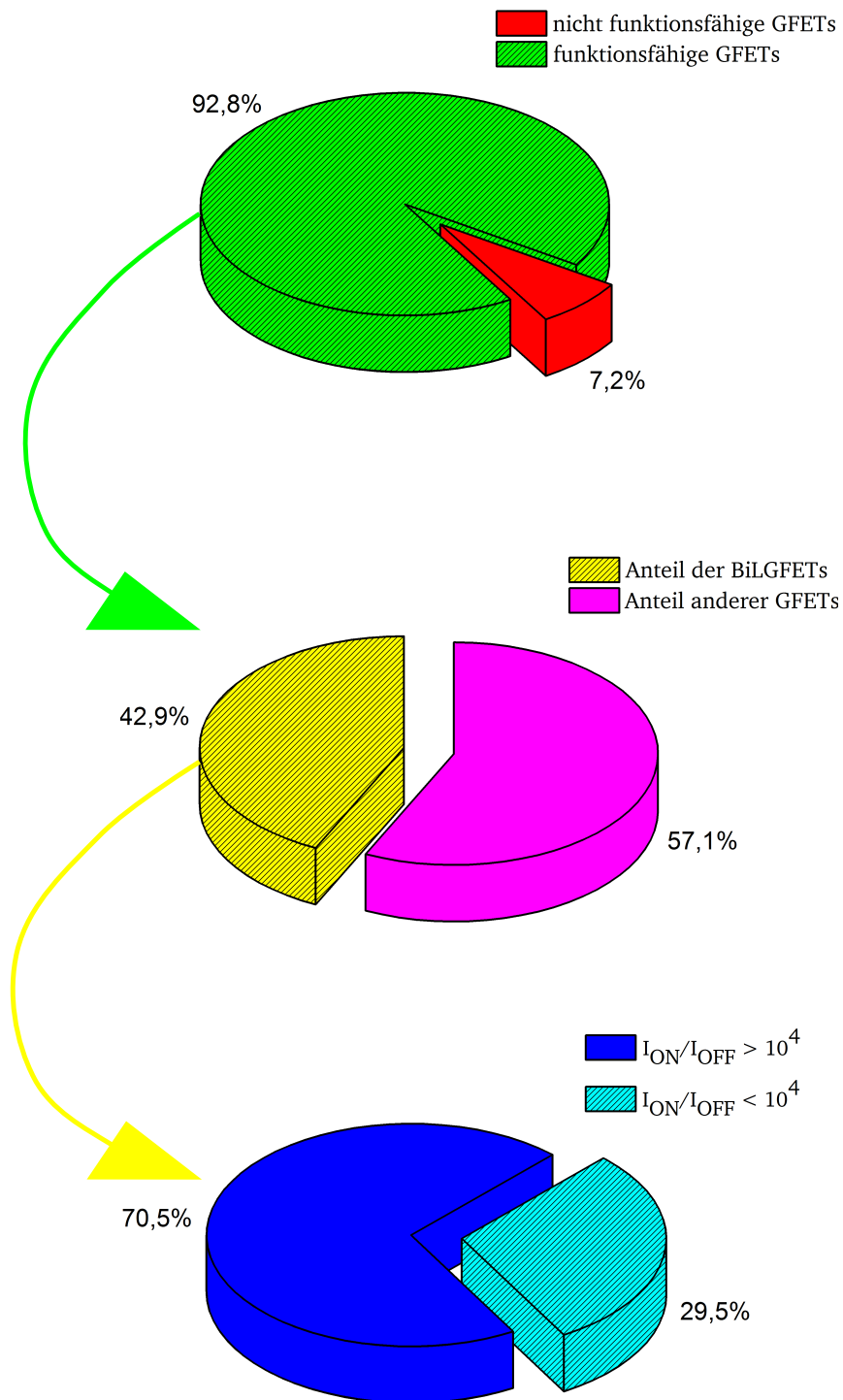


Abbildung 5.3: Statistische Auswertung der Ausbeute von BiLGFETs.



Kapitel 6

Zusammenfassung und Ausblick



6.1 Zusammenfassung

Durch geeignete Wahl der Prozessparameter können Graphen-FETs mit einlagigem, zweilagigem oder mehrlagigem Graphen hergestellt werden. Mittels CCVD wachsen die Graphenschichten in-situ und transferfrei auf Siliziumdioxid. Bereits nach dem Wachstumsprozess sind die Graphen-FETs einsatzfähig und direkt mittels des Katalysatorsystems kontaktierbar. Die Anordnung der Schottky-Barrieren gesteuerten Graphen-FETs auf dem Wafer geschieht mittels konventioneller Lithographietechnik. Abhängig von dem Design der Maske für die Lithographie können derzeit über 2000 GFETs gleichzeitig hergestellt werden. Die Kombination aus AFM-Analyse, REM-Aufnahmen, TEM-Analyse, TEM-Gitterabbildung und Raman-Spektroskopie sowie der typischen Strom-Spannungs-Charakteristik für MoLGFETs, belegen das Wachstum von Graphen mit dem am IHTN entwickelten Herstellungsprozess für Graphen-FETs eindeutig.

Bei GFETs der ersten Generation wird der GFET direkt mittels des Katalysators kontaktiert. Das $I_{\text{ON}}/I_{\text{OFF}}$ -Verhältnis der BiLGFETs von bis zu 10^7 ermöglicht die Verwendung von BiLGFETs für Anwendungen in der Nanoelektronik. Aufgrund der stabilen Hysterese der BiLGFETs können diese als Speicherbauelemente verwendet werden. Gelingt es einen n-Typ BiLGFET herzustellen, können BiLGFETs auch für logische Schaltkreise vergleichbar zum CMOS genutzt werden. Da das $I_{\text{ON}}/I_{\text{OFF}}$ -Verhältnis der BiLGFETs bei Erhöhung von Raumtemperatur auf 200°C nur um etwa eine Größenordnung sinkt, ist es möglich, BiLGFETs für Anwendungen bei höheren Temperaturen einzusetzen und dadurch Energie für die Kühlung der Bauelemente einzusparen, desweiteren ist eine Energieersparnis durch verringerte Leckströme möglich.

Zur Verringerung des Kontaktwiderstands in GFETs folgt in der Herstellung von GFETs der zweiten Generation im Anschluss an den Wachstumsprozess ein weiterer Lithographieschritt. Dieser wird genutzt um den Graphenkanal mittels eines ausgewählten Kontaktmetalls zu kontaktieren. Dadurch konnte eine Verringerung des Kontaktwiderstands um Faktor 10 erreicht werden. Zusätzlich dazu sind die BiLGFETs der zweiten Generation durch das doppelte Lift-Off System gekapselt und somit vor Umwelteinflüssen geschützt.

Die in dieser Arbeit entwickelten Graphen-FETs sind aus fertigungstechnologischer Sicht einfach herzustellen. Der gesamte Herstellungsprozess ist kompatibel zur Silizium CMOS Technologie. Somit besteht die Möglichkeit, Silizium- und Graphen-Bauelemente in einem hybriden Herstellungsprozess zu realisieren. Dies hat den Vorteil, dass die neuen Graphen-FETs in die bekannte Silizium-Fertigungstechnologie integriert werden können, bis die Graphen basierten Bauelementkonzepte soweit gereift sind, dass sie die elektrischen Eigenschaften der Silizium basierten Bauelemente übertreffen. Dazu ist es notwendig, die Ladungsträgerbeweglichkeit in BiLGFETs zu verbessern.

6.2 Ausblick

Die in dieser Arbeit hergestellten BiLGFETs zeigen ein reines p-Typ Verhalten. Das $I_{\text{ON}}/I_{\text{OFF}}$ -Verhältnis der BiLGFETs von bis zu 10^7 ermöglicht die Verwendung von BiLGFETs für Anwendungen in der Nanoelektronik. Um die BiLGFETs auch für logische Schaltkreise vergleichbar zur CMOS Technologie nutzen zu können, ist es notwendig einen n-Typ BiLGFET herzustellen. Eine Möglichkeit stellt die Verwendung alternativer Kontaktmetalle dar. Durch Wahl eines Metalls mit geeigneter Austrittsarbeit können Elektronen als Ladungsträgertyp bevorzugt werden, wodurch ein n-Typ BiLGFET hergestellt kann.

Ein weiterer interessanter Gesichtspunkt ist die Ladungsträgerbeweglichkeit in GFETs und deren Abhängigkeit von Korngrenzen in polykristallinem Graphen. Durch hochauflösende REM-Untersuchungen ist es möglich, die Anzahl der Körner im Graphenkanal zu bestimmen. In Kombination mit der elektrischen Charakterisierung des jeweiligen GFETs kann gegebenenfalls der Einfluss von Körnern im Graphenkanal auf die Beweglichkeit der Ladungsträger untersucht werden. Für den Fall, dass Korngrenzen im Graphenkanal die Beweglichkeit der Ladungsträger reduzieren, sollte ein geänderter Prozessablauf in Erwägung gezogen werden. Hierbei könnte das Graphen des einzelnen GFETs von einem einzigen Katalysatorbereich aus wachsen, nicht von zwei Katalysatorbereichen gleichzeitig, wie dies derzeit der Fall ist. Dadurch ließe sich eine Bambusstruktur der Graphenkörner erzielen. Dadurch würde eine Reihenschaltung mehrerer Graphenkörner verhindert. Lediglich eine Parallelschaltung wäre möglich. Im Anschluss wird das Graphen mittels eines weiteren Lithographieschritts durch ein ausgesuchtes Kontaktmetall kontaktiert. Dadurch könnte die Ladungsträgerbeweglichkeit in BiLGFETs erhöht werden, damit diese mit MOSFETs in Hinblick auf die Schwellensteigung konkurrieren können.

Anhang A:

Übersicht über sämtliche prozessierte Chargen

ÜBERSICHT ÜBER SÄMTLICHE PROZESSIERTE CHARGEN

| Charge | Wafer [#] | SiO ₂ Dicke [nm] | Al Dicke [nm] | Ni Dicke [nm] | Lift- Off [min] | O ₂ Plasma | CVD [°C] | CH ₄ [cm] | H ₂ [cm] | Kommentar |
|--------------------------|--------------|-----------------------------------|---------------------|---------------------|-----------------------|--------------------------|-------------|-------------------------|------------------------|------------------------------------|
| GRA1 und GRA2 verworfen. | | | | | | | | | | |
| GRA3 | 1 | 100 | 5 | 0,9 | 20 | ja | 900 | 5,92 | 0,10 | Cluster, keine CNTs, kein Graphen |
| | 2 | 100 | 5 | 0,9 | 20 | ja | 900 | 3,55 | 0,10 | Cluster, CNTs, kein Graphen |
| | 3 | 100 | 5 | 0,9 | 20 | ja | 850 | 3,55 | 0,10 | Cluster, CNTs, kein Graphen |
| | 4 | 100 | 5 | 0,9 | 20 | ja | | | | Katalysatorschicht fehlerhaft |
| | 5 | 100 | 5 | 0,9 | 20 | ja | 870 | 5,92 | 0,26 | Cluster, CNTs, kein Graphen |
| | 6 | 100 | 5 | 0,9 | 20 | ja | 900 | 10,65 | 0,0 | Cluster, keine CNTs, kein Graphen |
| | 7 | 100 | 5 | 0,9 | 20 | ja | 900 | 3,55 | 0,05 | Cluster, CNTs, kein Graphen |
| | 8 | 100 | 5 | 0,9 | 20 | ja | 900 | 3,55 | 0,0 | Cluster, CNTs, kein Graphen |
| | 9 | 100 | | | | | | | | Oxiddickenbestimmung |
| GRA4 | 1 | 100 | 10 | 10 | 20 | nein | 900 | 3,55 | 0,05 | MoLGFETs |
| | 2 | 100 | 10 | 10 | 20 | nein | 900 | 3,55 | 0,0 | MoLGFETs |
| | 3 | 100 | 10 | 10 | 20 | nein | 900 | 10,65 | 0,0 | BiLGFETs |
| | 4 | 100 | 10 | 10 | 20 | nein | 900 | 9,47 | 0,0 | BiLGFETs |
| | 5 | 100 | 10 | 10 | 20 | nein | 900 | 10,65 | 0,05 | CVD Prozessfehler |
| | 6 | 100 | 10 | 10 | 20 | nein | 900 | 0,0 | 0,0 | CVD in Stickstoffatmosphäre |
| | 7 | 100 | 10 | 10 | 20 | nein | 900 | 10,65 | 0,05 | MoLGFETs |
| | 8 | 100 | 10 | 10 | 20 | nein | 900 | 9,47 | 0,05 | MoLGFETs |
| | 9 | 100 | | | | | | | | Oxiddickenbestimmung |
| | 10 | 100 | 5 | 0,9 | 20 | nein | 870 | 5,92 | 0,26 | wenige funktionierende Bauelemente |
| | 11 | 100 | 5 | 0,9 | 20 | nein | 900 | 10,65 | 0,0 | zweilagiges Graphen |
| GRA5 | 1 | 100 | | | | | | | | Lithographiefehler ⇒ GRA6 |
| | 2 | 100 | 10 | 10 | 20 | nein | 900 | 10,65 | 0,05 | FewLGFETs |
| | 3 | 100 | 10 | 10 | 20 | nein | 900 | 10,65 | 0,0 | FewLGFETs |
| | 4 | 100 | 10 | 20 | 20 | nein | 900 | 10,65 | 0,05 | Keine funktionierenden Bauelemente |
| | 5 | 100 | 10 | 20 | 20 | nein | 900 | 10,65 | 0,0 | Keine funktionierenden Bauelemente |
| | 6 | 100 | 10 | 60 | 20 | nein | 900 | 10,65 | 0,05 | Keine funktionierenden Bauelemente |
| | 7 | 100 | 10 | 60 | 20 | nein | 900 | 10,65 | 0,0 | Keine funktionierenden Bauelemente |
| | 8 | 100 | 0 | 10 | 20 | nein | 900 | 10,65 | 0,05 | Keine funktionierenden Bauelemente |
| | 9 | 100 | 10 | 10 | 20 | | | | | Lithographiefehler ⇒ GRA6 |
| | 10 | 100 | 0 | 10 | 20 | nein | 900 | 10,65 | 0,0 | Keine funktionierenden Bauelemente |
| | 11 | 100 | | | | | | | | Oxiddickenbestimmung |
| GRA6 | 1* | 100 | 10 | 10 | 20 | nein | 800 | 10,65 | 0,05 | Lithographiefehler ⇒ GRA7 |
| | 2 | 100 | 10 | 10 | 20 | nein | | | | Katalysatorschicht fehlerhaft |
| | 3 | 100 | 10 | 10 | 20 | nein | 900 | 3,55 | 0,05 | Keine funktionierenden Bauelemente |
| | 4 | 100 | 10 | 10 | 20 | nein | 900 | | | CVD Anlage bei Prozess ausgefallen |
| | 5 | 100 | 10 | 10 | 20 | nein | 900 | 8,28 | 0,0 | FewLGFETs |

| Charge | Wafer | SiO ₂ Dicke | Al Dicke | Ni Dicke | Lift- Off | O ₂ Plasma | CVD | CH ₄ | H ₂ | Kommentar |
|--------|-------|---------------------------|-------------|-------------|--------------|--------------------------|------|-----------------|----------------|------------------------------------|
| | [#] | [nm] | [nm] | [nm] | [min] | | [°C] | [cm] | [cm] | |
| | 6 | 100 | 10 | 10 | 20 | nein | 800 | 10,65 | 0,05 | Lithographiefehler ⇒ GRA7 |
| | 7 | 100 | 10 | 10 | 20 | nein | 900 | 10,65 | 0,10 | FewLGFETs |
| | 8 | 100 | 10 | 10 | 20 | nein | 800 | 10,65 | 0,0 | BiLGFETs |
| | 9 | 100 | 10 | 10 | 20 | nein | | | | Katalysatorschicht fehlerhaft |
| | 10 | 100 | 10 | 10 | 20 | nein | 800 | 10,65 | 0,05 | BiLGFETs, FewLGFETs |
| | 11 | 100 | | | | | | | | Oxiddickenbestimmung |
| GRA7 | 1* | 100 | 10 | 10 | 20 | nein | 800 | 10,65 | 0,0 | Keine funktionierenden Bauelemente |
| | 2* | 100 | 10 | 10 | 20 | nein | 800 | 10,65 | 0,0 | Keine funktionierenden Bauelemente |
| | 3* | 100 | 10 | 10 | 20 | nein | 800 | 10,65 | 0,05 | Keine funktionierenden Bauelemente |
| | 4* | 100 | 10 | 10 | 20 | nein | 800 | 9,47 | 0,0 | Keine funktionierenden Bauelemente |
| | 5* | 100 | 10 | 10 | 20 | nein | 800 | 9,47 | 0,0 | Keine funktionierenden Bauelemente |
| | 6* | 100 | 10 | 10 | 20 | nein | 800 | 0,0 | 0,0 | CVD in Stickstoffatmosphäre |
| | 7 | 100 | 10 | 10 | 20 | nein | 800 | 0,0 | 0,0 | CVD in Stickstoffatmosphäre |
| | 8 | 100 | 10 | 10 | 20 | nein | | | | Katalysatordickenbestimmung |
| | 9 | 100 | 10 | 10 | 20 | nein | 800 | 10,65 | 0,0 | FewLGFETs, BiLGFETs |
| | 10 | 100 | 10 | 10 | 20 | nein | 800 | 9,47 | 0,0 | FewLGFETs, BiLGFETs |
| | 11 | 100 | | | | | | | | Oxiddickenbestimmung |

(*) Test eines neuen Parameters für die Elektronenstrahlbedampfung

Mechanische Reinigung der CVD-Anlage nach GRA7, Prozessparameter müssen neu justiert werden.

| | | | | | | | | | | |
|------|----|-----|----|----|----|------|-----|-------|------|------------------------------------|
| GRA8 | 1* | 100 | 10 | 10 | 20 | nein | 900 | 10,65 | 0,0 | metallische Kennlinie |
| | 2* | 100 | 10 | 10 | 20 | nein | 900 | 10,65 | 0,05 | Keine funktionierenden Bauelemente |
| | 3 | 100 | 10 | 10 | 20 | nein | 900 | 10,65 | 0,05 | Keine funktionierenden Bauelemente |
| | 4 | 100 | 10 | 10 | 20 | nein | 900 | 10,65 | 0,05 | Keine funktionierenden Bauelemente |
| | 5 | 100 | 10 | 10 | 20 | nein | 900 | 10,65 | 0,0 | Keine funktionierenden Bauelemente |
| | 6 | 100 | 10 | 10 | 20 | nein | 900 | 9,47 | 0,0 | Keine funktionierenden Bauelemente |
| | 7 | 100 | 10 | 10 | 20 | nein | 900 | 10,65 | 0,0 | Keine funktionierenden Bauelemente |
| | 8 | 100 | 10 | 10 | 20 | nein | 900 | 9,47 | 0,0 | Keine funktionierenden Bauelemente |
| | 9 | 100 | 10 | 10 | 20 | nein | 900 | 10,65 | 0,05 | Keine funktionierenden Bauelemente |
| | 10 | 100 | | | | | | | | Eumelwafer ⇒ GRA9 |
| | 11 | 100 | | | | | | | | Oxiddickenbestimmung |

(*) Zusätzlich 2nm Palladium auf Katalysatorschicht

Starke Lithographieprobleme ⇒ Charge GRA8 fehlerhaft

| | | | | | | | | | | |
|------|----|----|----|----|----|------|-----|-------|------|------------------------------------|
| GRA9 | 1* | 50 | 7 | 3 | 20 | nein | 900 | 10,65 | 0,0 | Keine funktionierenden Bauelemente |
| | 2* | 50 | 7 | 3 | 20 | nein | 900 | 10,65 | 0,05 | Keine funktionierenden Bauelemente |
| | 3* | 50 | 7 | 3 | 20 | nein | 900 | 9,47 | 0,0 | Keine funktionierenden Bauelemente |
| | 4* | 50 | 7 | 3 | 20 | nein | 900 | 9,47 | 0,05 | Keine funktionierenden Bauelemente |
| | 5 | 50 | 10 | 10 | 20 | nein | 900 | 10,65 | 0,0 | Keine funktionierenden Bauelemente |
| | 6 | 50 | 10 | 10 | 20 | nein | 900 | 10,65 | 0,05 | Keine funktionierenden Bauelemente |
| | 7 | 50 | 10 | 10 | 20 | nein | 900 | 9,47 | 0,0 | Keine funktionierenden Bauelemente |
| | 8 | 50 | 10 | 10 | 20 | nein | 900 | 9,47 | 0,05 | Keine funktionierenden Bauelemente |
| | 9 | 50 | 10 | 10 | 20 | nein | 850 | 10,65 | 0,05 | Keine funktionierenden Bauelemente |
| | 10 | 50 | 10 | 10 | 20 | nein | 850 | 10,65 | 0,0 | Keine funktionierenden Bauelemente |

(*) Test eines neuen Parameters für die Elektronenstrahlbedampfung

Lithographieprobleme sowie teilweise große Leckströme in das Oxid ⇒ Charge GRA9 fehlerhaft

Chemische Reinigung der CVD-Anlage nach GRA9, Prozessparameter müssen neu justiert werden.

| | | | | | | | | | | |
|-------|---|-----|----|----|----|------|-----|-------|------|------------------------------------|
| GRA10 | 1 | 100 | 10 | 10 | 20 | | | | | Lift-Off Probleme |
| | 2 | 100 | 10 | 10 | 20 | | | | | Lift-Off Probleme |
| | 3 | 100 | 10 | 10 | 20 | nein | 900 | 10,65 | 0,0 | Keine funktionierenden Bauelemente |
| | 4 | 100 | 10 | 10 | 20 | nein | 800 | 10,65 | 0,0 | BiLGFETs, FewLGFETs |
| | 5 | 100 | 10 | 10 | 20 | nein | 800 | 10,65 | 0,05 | BiLGFETs, FewLGFETs |

| Charge | Wafer | SiO ₂ Dicke [nm] | Al Dicke [nm] | Ni Dicke [nm] | Lift- Off [min] | O ₂ Plasma | CVD [°C] | CH ₄ [cm] | H ₂ [cm] | Kommentar |
|--|------------------|-----------------------------------|---------------------|---------------------|-----------------------|--------------------------|-------------|-------------------------|------------------------|------------------------------------|
| | 6 | 100 | 10 | 10 | 20 | nein | 850 | 10,65 | 0,05 | Keine funktionierenden Bauelemente |
| | 7 | 100 | 10 | 10 | 20 | nein | | | | Oxiddickenbestimmung |
| | 8 | 100 | 10 | 10 | 20 | | | | | Zerbrochen |
| | 9 | 100 | 10 | 10 | 20 | nein | 900 | 10,65 | 0,05 | wenige funktionierende FewLGFETs |
| | 10 | 100 | 10 | 10 | 20 | nein | 800 | 9,47 | 0,05 | wenige BiLGFETs, viele FewLGFETs |
| GRA11 | 1 | 100 | 10 | 10 | 20 | ja | 800 | 10,65 | 0,05 | FewLGFETs |
| | 2 | 100 | 10 | 10 | 20 | ja | 800 | 9,47 | 0,05 | FewLGFETs, BiLGFETs |
| | 3 | 100 | 10 | 10 | 20 | ja | 800 | 10,65 | 0,0 | Keine funktionierenden Bauelemente |
| | 4 | 100 | 10 | 10 | 20 | nein | 800 | 10,65 | 0,05 | FewLGFETs, BiLGFETs |
| | 5 | 100 | 10 | 10 | 20 | nein | 800 | 9,47 | 0,05 | FewLGFETs, BiLGFETs |
| | 6 | 100 | 10 | 10 | 20 | nein | 800 | 10,65 | 0,0 | FewLGFETs, BiLGFETs |
| | 7* | 100 | 10 | 10 | 20 | nein | | | | Katalysatorschicht fehlerhaft |
| | 8* | 100 | 10 | 10 | 20 | nein | 800 | 9,47 | 0,05 | Keine funktionierenden Bauelemente |
| | 9* | 100 | 10 | 10 | 20 | nein | 800 | 7,10 | 0,05 | Keine funktionierenden Bauelemente |
| | 10* | 100 | 10 | 10 | 20 | nein | 800 | 5,92 | 0,0 | Keine funktionierenden Bauelemente |
| (*) Zusätzlich 2nm Palladium auf Katalysatorschicht, # 1/4; #2/5; #3/6 gemeinsam CVD | | | | | | | | | | |
| GRA12 | 1 | 100 | 10 | 10 | | nein | | | | Prozessfehler bei Metallisierung |
| | 2 | 100 | 10 | 10 | | nein | | | | Prozessfehler bei Metallisierung |
| | 3 ^{*B} | 100 | 10 | 10 | 20 | nein | 800 | 10,65 | 0,0 | Pd vor CCVD, FewLGFETs |
| | 4 ^{*A} | 100 | 10 | 10 | 20 | nein | 800 | 10,65 | 0,0 | Pd nach CCVD, FewLGFETs |
| | 5 ^{*B} | 100 | 10 | 10 | 20 | nein | 800 | 0,0 | 0,0 | Pd vor CVD in Stickstoffatmosphäre |
| | 6 ^{*B} | 100 | 10 | 10 | 20 | nein | 800 | 10,65 | 0,05 | Pd vor CCVD, BiLGFETs |
| | 7 ^{*A} | 100 | 10 | 10 | 20 | nein | 800 | 9,47 | 0,05 | Pd nach CCVD, BiLGFETs |
| | 8 ^{*B} | 100 | 10 | 10 | 20 | nein | | | | für AFM Messungen ohne CCVD |
| | 9 ^{*B} | 100 | 10 | 10 | 20 | nein | 800 | 10,65 | 0,10 | Pd vor CCVD, FewLGFETs |
| | 10 ^{*A} | 100 | 10 | 10 | 20 | nein | 800 | 9,47 | 0,05 | Pd vor CCVD |
| Alle Wafer zusätzlich 10nm/70nm Palladium, Belichtung mit Maske (^{*A}) TUD-T62-M2A oder Maske (^{*B}) TUD-T62-M2B | | | | | | | | | | |

Tabelle A.1: Übersicht über sämtliche prozessierte Chargen.



Danksagung

Die vorliegende Arbeit entstand während meiner Tätigkeit als wissenschaftliche Mitarbeiterin am Institut für Halbleitertechnik und Nanoelektronik (IHTN) der Technischen Universität Darmstadt. In über drei Jahren der intensiven Beschäftigung mit der Halbleitertechnologie von Halbleiterbauelementen der Nanoelektronik habe ich als studierte Physikerin über den Tellerrand hinausschauen dürfen und auch jenseits des Labors viel gelernt.

Für die Unterstützung bei der Anfertigung dieser Arbeit und die Möglichkeit der Promotion in einem zunächst fachfremden Gebiet gilt mein besonderer Dank meinem Doktorvater, Herrn Prof. Dr. rer. nat. Udo Schwalke, der mich immer wieder in der Wahl meines Forschungsthemas bestärkt hat. Ich danke ihm außerdem für das besondere Arbeitsklima am IHTN, welches mir die Forschungstätigkeit sehr erleichtert hat.

Herrn Prof. Dr.-Ing. Max Lemme danke ich für sein Interesse an meiner Arbeit und für die Übernahme des Korreferats. Den Herren Prof. Dr.-Ing. Helmut Schlaak und Prof. Dr. rer. nat. Rudolf Feile danke ich für Ihre Bereitschaft als Prüfer zu fungieren sowie Herrn Prof. Dr.-Ing. Hans Eveking für die Übernahme des Vorsitzes der Prüfungskommission.

Während meiner Tätigkeit am IHTN habe ich meinen Mann Dr.-Ing. Frank Wessely kennengelernt. Ich danke ihm für seine Unterstützung im Labor, die anregenden Diskussionen und vor allem für die emotionale Unterstützung während des Verfassens der Dissertation. Ebenso danke ich meinen Schwiegereltern für die vielfältige Unterstützung.

Frau Christa Moter danke ich für die seelische, moralische und kulinarische Unterstützung in den vergangenen drei Jahren.

Allen weiteren Kolleginnen und Kollegen des Instituts danke ich für die umfassende Unterstützung, vielfach auch weit über das Arbeitsverhältnis hinaus.

Herrn Erik Kremser danke ich für die vielen Utensilien, die ich für meine Forschung aus der physikalischen Sammlung ausleihen durfte, sowie für die guten Diskussionen beim wöchentlichen Mittagessen.

Abschließend gilt besonderer Dank meinen Eltern und meinen Großeltern, die durch ihre Unterstützung in meiner Schul- und Studienzeit eine Promotion erst möglich gemacht haben.



Liste der Publikationen und Konferenzbeiträge

Publikationen

- 1 P. J. Wessely, U. Schwalke, 'Bilayer Graphene Transistors: Silicon CMOS Compatible Processing for Applications in Nanoelectronics' Handbook of Graphene Science (CRC Press), (2013), (accepted)
- 2 P. J. Wessely, U. Schwalke, 'Transfer-Free Grown Bilayer Graphene Memory Devices' IEEE Transactions of the DTIS 2013, (2013)
- 3 P. J. Wessely, F. Wessely, E. Birinci, B. Schlüter, U. Schwalke, 'Transfer-free Grown Bilayer Graphene Transistors for Digital Applications', Solid State Electronics, (2013)
- 4 P. J. Wessely, F. Wessely, E. Birinci, B. Riedinger, U. Schwalke, 'In-Situ CCVD Grown Graphene Transistors with Ultra-High On/Off-Current Ratio in Silicon CMOS Compatible Processing', Advances in Science and Technology, (2013)
- 5 P. J. Wessely, F. Wessely, E. Birinci, B. Riedinger, U. Schwalke, 'On/Off-Current Ratios of In-Situ CCVD Grown Bilayer Graphene FETs as a Function of Temperature', Transactions of the 221th Meeting of the Electrochemical Society (ECS), (2012)
- 6 M. Keyn, P. J. Wessely, F. Wessely, L. Rispal, J. Palm, U. Schwalke, 'Feasibility study on in situ CCVD grown CNTs for Field-effect power device applications' IEEE Transactions of the DTIS 2012, (2012)
- 7 P. J. Wessely, F. Wessely, E. Birinci, B. Riedinger, U. Schwalke, 'On/Off-Current Ratios of Transfer-Free Bilayer Graphene FETs as a Function of Temperature', IEEE Transactions of the DTIS 2012, (2012)
- 8 P. J. Wessely, F. Wessely, E. Birinci, B. Riedinger, U. Schwalke, 'Transfer-free fabrication of graphene transistors', J. Vac. Sci. Technol. B, (2012)
- 9 P. J. Wessely, F. Wessely, E. Birinci, B. Riedinger, U. Schwalke, 'Hysteresis of In-Situ CCVD Grown Graphene Transistors', ECS Electrochemical and Solid State Letters, (2012)
- 10 P. J. Wessely, F. Wessely, E. Birinci, B. Riedinger, U. Schwalke, 'Silicon-CMOS Compatible In-Situ CCVD Grown Graphene', Transistors with Ultra-High On/Off-Current Ratio', Physica E , (2012)
- 11 P. J. Wessely, F. Wessely, E. Birinci, U. Schwalke, 'In-Situ CCVD Grown Bilayer Graphene Transistor', Transactions of the 220th Meeting of the Electrochemical Society(ECS),(2011)
- 12 P. J. Ginsel, F. Wessely, E. Birinci, U. Schwalke, 'CVD Assisted Fabrication Of Graphene Layers For Field Effect Device Fabrication', IEEE Transactions of the DTIS 2011, (2011)

-
- 13 L. Rispal, P. J. Ginsel, U. Schwalke, 'In Situ Growth of Carbon for Nanoelectronics: From Nanotubes to Graphene.', Transactions of the 218th Meeting of the Electrochemical Society (ECS), (2010)

Konferenzbeiträge

Vorträge

- 14 P. J. Wessely, U. Schwalke, 'Bilayer Graphene Transistors: Silicon CMOS Compatible Processing for Applications in Nanoelectronics', EMRS Spring Meeting, 27.05. - 31.05.2013, Strasbourg, (France), (accepted)
- 15 P. J. Wessely, U. Schwalke, 'Transfer-free Bilayer Graphene FETs: Application as Memory Devices', 223th Meeting of the Electrochemical Society (ECS) , 12.05. - 17.05.2013, Toronto, (Canada)
- 16 P. J. Wessely, U. Schwalke, 'Transfer-Free Grown Bilayer Graphene Memory Devices', 8th IEEE International Conference on Design and Technology of Integrated Systems in nanoscale era (DTIS), 26.03. - 28.03.2013, Abu Dhabi, (United Arab Emirates)
- 17 P. J. Wessely, F. Wessely, E. Birinci, U. Schwalke, 'In-Situ CCVD Grown Graphene Transistors with Ultra-High On/Off-Current Ratio in Silicon CMOS Compatible Processing', 4th International Conference 'Smart Materials, Structures and Systems' (CIMTEC), 10.06. - 14.06.2012, Montecatini Terme, (Italy)
- 18 P. J. Wessely, F. Wessely, E. Birinci, U. Schwalke, 'CCVD Assisted and Transfer-Free Fabrication of Graphene Devices' Graphene Week 2012, 04.06. - 08.06.2012, Delft, (Netherlands)
- 19 M. Keyn, P. J. Wessely, F. Wessely, L. Rispal, J. Palm, U. Schwalke, 'Feasibility study on in situ CCVD grown CNTs for Field-effect power device applications' 7th IEEE International Conference on Design and Technology of Integrated Systems in nanoscale era (DTIS), 16.05. - 18.05.2012, Gammarth, (Tunisia)
- 20 U. Schwalke, P. J. Wessely, F. Wessely, M. Keyn, L. Rispal, 'Nanoelectronics: From Silicon to Graphene' 7th IEEE International Conference on Design and Technology of Integrated Systems in nanoscale era (DTIS), 16.05. - 18.05.2012, Gammarth, (Tunisia)
- 21 P. J. Wessely, F. Wessely, E. Birinci, R. Riedinger, U. Schwalke, 'CVD Assisted Fabrication of Graphene Layers for Field Effect Device Fabrication', 7th IEEE International Conference on Design and Technology of Integrated Systems in nanoscale era (DTIS), 16.05. - 18.05.2012, Gammarth, (Tunisia)
- 22 P. J. Wessely, F. Wessely, E. Birinci, B. Riedinger, U. Schwalke, 'On/Off-Current Ratios of In-Situ CCVD Grown Bilayer Graphene FETs as a Function of Temperature', 221th Meeting of the Electrochemical Society, 06.05. - 11.05.2012, Seattle, (USA), (invited)

-
- 23 P. J. Wessely, F. Wessely, E. Birinci, B. Riedinger, U. Schwalke, 'Transfer-Free Grown Bilayer Graphene Transistors with Ultra-High On/Off-Current Ratio', Graphene 2012, 10.04. - 13.04.2012, Brussels, (Belgium)
 - 24 U. Schwalke, P. J. Wessely, F. Wessely, E. Birinci, M. Keyn, L. Rispal, 'In-Situ CCVD Growth of Hexagonal Carbon for CMOS-Compatible Nanoelectronics: From Nanotube Field-Effect Devices to Graphene Transistors', 12th Trends in Nanotechnology International Conference, 21.11. - 25.11.2011, Tenerife, (Spain)
 - 25 P. J. Wessely, F. Wessely, E. Birinci, U. Schwalke, 'In-Situ CCVD Grown Bilayer Graphene Transistor', 220th Meeting of the Electrochemical Society, 09.10. - 14.10.2011, Boston, (USA)
 - 26 P. J. Ginsel, F. Wessely, U. Schwalke, 'CVD Assisted Fabrication of Graphene Layers for Field Effect Device Fabrication', 6th IEEE International Conference on Design and Technology of Integrated Systems in nanoscale era (DTIS), 06.04. - 08.04.2011, Athens, (Greece)
 - 27 L. Rispal, P. J. Ginsel, U. Schwalke, 'In Situ Growth of Carbon for Nanoelectronics: From Nanotubes to Graphene.', 218th Meeting of the Electrochemical Society (ECS), (2010)

Poster

- 28 P. J. Wessely, F. Wessely, E. Birinci, B. Riedinger, U. Schwalke, 'In-Situ CCVD Silicon CMOS Compatible Processing of Bilayer Graphene Transistors with Ultra-High On/Off-Current Ratio', 2012 MRS Spring Meeting and Exhibit, 09.04. - 13.04.2012, San Francisco, (USA)
- 29 P. J. Ginsel, F. Wessely, E. Birinci, U. Schwalke, 'Production of Graphene Layers by Means of in-situ CCVD for Field Effect Device Fabrication', Graphene 2011, 11.04. - 14.04.2011, Bilbao, (Spain)

Liste der betreuten Bachelor und Masterarbeiten

- **Ba 262** E. Birinci: Untersuchung des CVD unterstützten Wachstums von Graphen-Schichten für die Herstellung von Feldeffekt-Bauelementen. 2011
- **Ba 263** K. Beckmann: Elektrische und topografische Charakterisierung von in CCVD hergestellten Graphen-Bauelementen. 2011
- **Ba 265** V. de Bodt Sivieri: Untersuchungen zur Steigerung der Bauelementperformanz von Graphen Feld Effekt Transistoren. 2013
- **Ba 266** V. Velloce Ferreira: Untersuchung der Bauelementstruktur von Graphen Feld Effekt Transistoren der zweiten Generation mittels Raster Kraft Mikroskopie. 2013



Literaturverzeichnis

- [1] F. Schwierz, “Graphene Transistors,” *Nature Nanotechnology*, vol. 5, pp. 487–496, 2010.
- [2] G. E. Moore, “Cramming more components onto integrated circuits,” *Electronics*, vol. 38, 1965.
- [3] F. Wessely, *CMOS ohne Dotierstoffe: Neuartige siliziumbasierte Nanodraht-Feldeffekt-Bauelemente*. Technische Universität Darmstadt, 2011.
- [4] M. I. Katsnelson, “Graphene: carbon in two dimensions,” *Materials Today*, vol. 10, pp. 20–27, 2007.
- [5] K. S. Novoselov, A. K. Geim, S. V. Morozov, D. Jiang, Y. Zhang, S. V. Dubonos, I. V. Grigorieva, and A. A. Firsov, “Electric Field Effect in Atomically Thin Carbon Films,” *Science*, vol. 306, pp. 666–669, 2004.
- [6] C. Berger, Z. Song, T. Li, X. Li, A. Y. Ogbazghi, R. Feng, Z. Dai, A. N. Marchenkov, E. H. Conrad, P. N. First, and W. A. de Heer, “Ultrathin epitaxial graphite: 2D electron gas properties and a route toward graphene-based nanoelectronics,” *ARXIV*, pp. 1–5, 2004.
- [7] N. D. Mermin, “Cristalline Order in Two Dimensions,” *Phys. Rev.*, vol. 176, pp. 250–254, 1968.
- [8] N. D. Mermin and H. Wagner, “Absence of Ferromagnetism or Antiferromagnetism in One- or Two-Dimensional Isotropic Heisenberg Models,” *Physical Review Letters*, vol. 17, pp. 1133–1136, 1966.
- [9] The Royal Swedish Academy Of Science, “Scientific Background on the Nobel Prize in Physics 2010 GRAPHE-NE compiled by the Class for Physics of the Royal Swedish Academy of Sciences,” *The Royal Swedish Academy Of Science*, pp. 1–10, 2010.
- [10] H.-S. P. Wong and D. Akinwande, *Carbon Nanotube and Graphene Device Physics*. Cambridge University Press, 2011.
- [11] P. R. Wallace, “The Band Theory of Graphite,” *Phys. Rev.*, vol. 71, pp. 622–634, 1947.
- [12] G. F. Koster and J. C. Slater, “Wave Functions for Impurity Levels,” *Physical Review*, vol. 95, pp. 1167–1176, 1954.
- [13] C. M. Goringe, D. R. Bowler, and E. Hernandez, “Tight-binding modelling of materials,” *Rep. Prog. Phys.*, vol. 60, pp. 1447–1512, 1997.
- [14] A. H. Castro Neto, F. Guinea, N. M. R. Peres, K. S. Novoselov, and A. K. Geim, “The electronic properties of graphene,” *Rev. Mod. Phys.*, vol. 81, pp. 109–162, 2009.
- [15] T. Ohta, A. Bostwick, T. Seyller, K. Horn, and E. Rotenberg, “Controlling the Electronic Structure of Bilayer Graphene,” *Science*, vol. 313, pp. 951–954, 2006.

-
- [16] F. Xia, D. B. Farmer, Y.-M. Lin, and P. Avouris, "Graphene Field-Effect Transistors with High On/Off Current Ratio and Large Transport Band Gap at Room Temperature," *Nano Letters*, vol. 10, pp. 715–718, 2010.
- [17] A. K. Geim and K. S. Novoselov, "The rise of graphene," *nature materials*, vol. 6, pp. 183–191, 2007.
- [18] H. Wang, Y. Wu, C. Cong, J. Shang, and T. Yu, "Hysteresis of Electronic Transport in Graphene Transistors," *ACS Nano*, vol. 4, pp. 7221–7228, 2010.
- [19] L. G. De Arco, Y. Zhang, A. Kumar, and C. Zhou, "Synthesis, Transfer, and Devices of Single- and Few-Layer Graphene by Chemical Vapor Deposition," *IEEE Trans. on Nanotechnology*, vol. 8, pp. 135–138, 2009.
- [20] K. S. Kim, Y. Zhao, S. Y. Lee, J. M. Kim, K. S. Kim, J.-H. Ahn, P. Kim, J.-Y. Choi, and B. H. Hong, "Large-scale pattern growth of graphene films for stretchable transparent electrodes," *nature*, vol. 457, pp. 706–710, 2009.
- [21] W. A. de Heer, C. Berger, X. W. Wu, P. N. First, E. H. Conrad, X. Li, T. Li, M. Sprinkle, J. Hass, M. L. Sadowski, M. Potemski, and G. Martinez, "Epitaxial graphene," *Solid State Com.*, vol. 143, pp. 92–100, 2007.
- [22] C.-Y. Su, A.-Y. Lu, C.-Y. Wu, Y.-T. Li, K.-K. Liu, W. Zhang, S.-Y. Lin, Z.-Y. Juang, Y.-L. Zhong, F.-R. Chen, and L.-J. Li, "Direct Formation of Wafer Scale Graphene Thin Layers on Insulating Substrates by Chemical Vapor Deposition," *Nano Lett.*, vol. 11, pp. 3612–3616, 2011.
- [23] A. Ismach, C. Druzgalski, S. Penwell, A. Schwartzberg, M. Zheng, A. Javey, J. Bokor, and Y. Zhang, "Direct Chemical Vapor Deposition of Graphene on Dielectric Surfaces," *Nano Lett.*, vol. 10, pp. 1542–1548, 2010.
- [24] Y. Miyasaka, A. Nakamura, and J. Temmyo, "Graphite Thin Films Consisting of Nanograins of Multilayer Graphene on Sapphire Substrates Directly Grown by Alcohol Chemical Vapor Deposition," *Jap. Journal of Appl. Phys.*, vol. 50, pp. 04DH12–1/4, 2011.
- [25] M. H. Rummeli, A. Bachmatiuk, A. Scott, F. Börrnert, J. H. Warner, V. Hoffman, J.-H. Lin, G. Cuniberti, and B. Büchner, "Direct Low-Temperature Nanographene CVD Synthesis over a Dielectric Insulator," *ACS Nano*, vol. 4, pp. 4206–4210, 2010.
- [26] G. Lippert, J. Dabrowski, M. Lemme, C. Marcus, O. Seifarth, and G. Lupina, "Direct graphene growth on insulator," *Phys. Status Solidi*, vol. 248, pp. 2619–2622, 2011.
- [27] S. M. Sze, *Physics of Semiconductor Devices*. Wiley-Interscience, 1981.
- [28] J. Mizsei, "Fermi-level pinning and passivation on the oxide-covered and bare silicon surfaces and interfaces," *Vacuum*, vol. 67, pp. 59–67, 2002.
- [29] C. C. Hobbs, L. R. C. Fonseca, A. Knizhnik, V. Dhandapani, S. B. Samavedam, W. J. Taylor, J. M. Grant, L. G. Dip, D. H. Triyoso, R. I. Hegde, D. C. Gilmer, R. Garcia, D. Roan, M. L. Lovejoy, R. S. Rai, E. A. Hebert, H.-H. Tseng, S. G. H. Anderson, B. E. White, and P. J. Tobin, "Fermi-Level Pinning at the Polysilicon/Metal-Oxide Interface-Part II," *IEEE Transactions on Electron Devices*, vol. 51, pp. 978–984, 2004.
- [30] Allresist, http://www.allresist.de/wMedia/pdf/wDeutsch/produkte_photoresists/AR300_80.pdf. Gesellschaft für chemische Produkte zu Mikrostrukturierung mbH, 2012.

-
- [31] Allresist, http://www.allresist.de/wMedia/pdf/wDeutsch/produkte_photoresists/AR_P5400.pdf. Gesellschaft für chemische Produkte zur Mikrostrukturierung mbH, 2012.
- [32] D. Widmann, H. Mader, and H. Friedrich, *Technologie hochintegrierter Schaltungen*. Springer International Berlin, Heidelberg, New York, 1998.
- [33] Allresist, http://www.allresist.de/wMedia/pdf/wDeutsch/produkte_photoresists/AR300_40.pdf. Gesellschaft für chemische Produkte zur Mikrostrukturierung mbH, 2012.
- [34] Balzers, *Betriebsanweisung, Schwingquarz-Schichtdicken-Messgeraet QSG 301*. Aktiengesellschaft fuer Hochvakuumtechnik und Duenne Schichten, 1981.
- [35] Allresist, http://www.allresist.de/wMedia/pdf/wDeutsch/produkte_photoresists/AR300_70-300_72-300_73.pdf. Gesellschaft für chemische Produkte zur Mikrostrukturierung mbH, 2012.
- [36] G. Wahl, *Dr John M Blocher Jr. - 90 Years Young*. WILEY-VCH Verlag GmbH und Co, 2009.
- [37] B. Unrecht, *Chemische Gasphasenabscheidung: Ein Verfahren zur Erzeugung heterogenkatalytisch aktiver Oberflächen*. Universität Hamburg, 2001.
- [38] D. Rugar and P. Hansma, "Atomic Force Microscopy," *Physics Today*, vol. October 1990, pp. 23–30, 1990.
- [39] G. Binnig, C. Rohrer, C. Gerber, and E. Weibel, "7x7 reconstruction on Si(111) resolved in real space," *Physics Review Letters*, vol. 50, 1983.
- [40] L. Rispal, *Large Scale Fabrication of Field-Effect Devices based on In Situ Grown Carbon Nanotubes*. Technische Universität Darmstadt, 2009.
- [41] M. v. Ardenne, "Das Elektronen-Rastermikroskop. Theoretische Grundlagen.," *Zeitschrift für Physik*, vol. 109, pp. 553–572, 1938.
- [42] H. Busch and E. Brüche, "Beiträge zur Elektronenoptik. Vorträge von der Physikertagung 1936 sowie ergänzende Beiträge. ," *Leipzig, J. A. Barth*, pp. 1–156, 1937.
- [43] R. Gruehn and W. Mertin, *Die hochauflösende Transmissionselektronenmikroskopie - eine noch junge Untersuchungsmethode der Festkörperchemie*. WILEY-VCH Verlag GmbH und Co, 2009.
- [44] Siemens AG, *Corporate Technology*, "Auftragsarbeit an, mittels CCVD am IHTN hergestellten, Graphenproben," 2010.
- [45] The Royal Swedish Academy Of Science, "The Nobel Prize in Physics 1930 was awarded to Sir Venkata Raman 'for his work on the scattering of light and for the discovery of the effect named after him'," *The Royal Swedish Academy Of Science*, 1930.
- [46] L. M. Malard, M. A. Pimenta, G. Dresselhaus, and M. S. Dresselhaus, "Raman spectroscopy in graphene," *Physics Reports*, vol. 472, pp. 51–87, 2009.
- [47] I. Calizo, W. Bao, F. Miao, C. N. Lau, and A. A. Balandin, "The effect of substrates on the Raman spectrum of graphene: Graphene-on-sapphire and graphene-on-glass," *Appl. Phys. Lett.*, vol. 91, p. 201904, 2007.

-
- [48] Y. Y. Wang, Z. H. Ni, T. Yu, H. M. Shen, Z. X. Wang, Y. H. Wu, W. Chen, and A. T. S. Wee, "Raman Studies of Monolayer Graphene: The Substrate Effect," *J. Phys. Chem. C*, vol. 112, pp. 10637–10640, 2008.
- [49] M. Jaiswal, C. H. Y. X. Lim, Q. Bao, C. T. Toh, K. P. Loh, and B. Ozyilmaz, "Controlled Hydrogenation of Graphene Sheets and Nanoribbons," *ACS Nano*, vol. 5, pp. 888–896, 2011.
- [50] M. He and T.-M. Lu, "Metal-Dielectric Interfaces in Gigascale Electronics," *Springer Series in Material Science*, vol. 157, pp. 11–22, 2012.
- [51] I. M. Robertson and C. M. Wayman, " Ni_5Al_3 and the nickel–aluminum binary phase diagram," *Metallography*, vol. 17, pp. 43–55, 1984.
- [52] M. S. Dresselhaus, A. Jorio, M. Hofmann, G. Dresselhaus, and R. Saito, "Perspectives on Carbon Nanotubes and Graphene Raman Spectroscopy," *Nano Lett.*, vol. 10, pp. 751–758, 2010.
- [53] A. C. Ferrari, "Raman spectroscopy of graphene and graphite: Disorder, electron-phonon coupling, doping and nonadiabatic effects," *Solid State Commun.*, vol. 143, pp. 47–57, 2007.
- [54] M. Dresselhaus, G. Dresselhaus, R. Saito, and A. Jorio, "Raman spectroscopy of carbon nanotubes," *Physics Reports*, vol. 409, pp. 47–99, 2005.
- [55] A. W. Tsen, L. Brown, M. P. Levendorf, F. Ghahari, P. Y. Huang, R. W. Havener, C. S. Ruiz-Vargas, D. A. Muller, P. Kim, and J. Park, "Tailoring Electrical Transport Across Grain Boundaries in Polycrystalline Graphene," *Science*, vol. 336, pp. 1143–1146, 2012.
- [56] L. A. Jauregui, C. Helin, W. Wu, Y. Qingkai, and Y. P. Chen, "Electronic properties of grains and grain boundaries in graphene grown by chemical vapor deposition," *Solid State Communications*, vol. 151, pp. 1100–1104, 2011.
- [57] K. Kim, Z. Lee, W. Regan, C. Kisielowski, M. F. Crommie, and A. Zettl, "Grain Boundary Mapping in Polycrystalline Graphene," *ACS Nano*, vol. 5, pp. 2142–2146, 2011.
- [58] M. C. Lemme, T. J. Echtermeyer, M. Baus, and H. Kurz, "A Graphene Field-Effect Device," *IEEE Electron Device Letters*, vol. 28, pp. 282–284, 2004.
- [59] S. Kumar, N. Peltekis, K. Lee, H.-Y. Kam, and G. Duesberg, "Reliable processing of graphene using metal etchmasks," *Nanoscale Res Lett.*, vol. 6, p. 390, 2011.
- [60] I. Mermic, M. Y. Han, A. F. Young, B. Ozyilmaz, P. Kim, and K. L. Shepard, "Current saturation in zero-bandgap, top-gated graphene field-effect transistors," *nature nanotechnology*, vol. 3, pp. 654–659, 2008.
- [61] Balog, R. and Jorgensen, B. and Nilsson, L. and Anderse, M. and Rienks, E. and Bianchi, M. and Fanetti, M. and Laegsgaard, E. and Baraldi, A. and Lizzit, S. and Sljivancanin, Z. and Besenbacher, F. and Hammer, B. and Pedersen, T. G. and Hofmann, P. and Hornekaer, L., "Bandgap opening in graphene induced by patterned hydrogen adsorption," *Nature Materials*, vol. 9, pp. 315–319, 2010.
- [62] R. R. Razouk and B. E. Deal, "Dependence of Interface State Density on Silicon Thermal Oxidation Process Variables," *Journal of the Electrochemical Society: Solid-State Science and Technology*, vol. 126, pp. 1573–1581,

1979.

- [63] H. E. Romera, N. Shen, P. Joshin, H. R. Gutierrez, S. A. Tadigadapa, J. O. Sofo, and P. C. Eklund, "n-Type Behavior of Graphene Supported on Si/SiO₂ Substrates," *ACS Nano*, vol. 2, pp. 2037–2044, 2008.
- [64] Y. Zhang, T.-T. Tang, C. Girit, Z. Hao, M. C. Martin, A. Zettl, M. F. Crommie, Y. R. Shen, and F. Wang, "Direct observation of a widely tunable bandgap in bilayer graphene," *nature*, vol. 459, pp. 820–823, 2009.
- [65] K. F. Mak, C. H. Lui, J. Shan, and T. F. Heinz, "Observation of an Electric-Field-Induced Band Gap in Bilayer Graphene by Infrared Spectroscopy," *Phys. Rev. Lett.*, vol. 102, p. 256405, 2009.
- [66] L. Kong, C. Bjelkevig, S. Gaddam, M. Zhou, Y. H. Lee, G. H. Han, H. K. Jeong, N. Wu, Z. Zhang, J. Xiao, P. A. Dowben, and J. A. Kelber, "Graphene/Substrate Charge Transfer Characterized by Inverse Photoelectron Spectroscopy," *J. Phys. Chem.*, vol. 114, pp. 21618–21624, 2010.
- [67] S. Gaddam, C. Bjelkevig, S. Ge, K. Fukutani, P. Dowben, and J. A. Kelber, "Direct graphene growth on MgO: origin of the band gap," *J. Phys. Condens. Matter*, vol. 23, p. 072204, 2011.
- [68] P. J. Wessely, F. Wessely, E. Birinci, B. Schlüter, and U. Schwalke, "Transfer-free Grown Bilayer Graphene Transistors for Digital Applications," *Solid State Electronics*, 2013 accepted.
- [69] P. J. Wessely, F. Wessely, E. Birinci, B. Riedinger, and U. Schwalke, "In-Situ CCVD Grown Graphene Transistors with Ultra-High On/Off-Current Ratio in Silicon CMOS Compatible Processing," *Advances in Science and Technology*, vol. 77, pp. 258–256, 2013.
- [70] C. Oshima and A. Nagashima, "Ultra-thin epitaxial films of graphite and hexagonal boron nitride on solid surfaces," *J. Phys. Condens. Matter*, vol. 9, pp. 1–20, 2007.
- [71] T. Takahashi, H. Tokailin, and T. Sagawa, "Angle-resolved ultraviolet photoelectron spectroscopy of the unoccupied band structure of graphite," *Phys. Rev. B*, vol. 32, pp. 8317–8324, 1985.
- [72] R. F. Pierret, *Semiconductor Device Fundamentals*. Addison-Wesley Publishing Company, Inc, 1996.
- [73] Y.-J. Yu, Y. Zhao, S. Ryu, L. E. Brus, S. K. Kwang, and P. Kim, "Tuning the Graphene Work Function by Electric Field Effect," *ACS Nano Lett.*, vol. 9, pp. 3430–3434, 2009.
- [74] T. Filleter, K. V. Emtsev, T. Seyller, and R. Bennewitz, "Local work function measurements of epitaxial graphene," *Appl. Phys. Lett.*, vol. 93, p. 133117, 2008.
- [75] S. S. Datta, D. R. Strachan, E. J. Mele, and A. T. C. Johnson, "Surface Potentials and Layer Charge Distributions in Few-Layer Graphene Films," *ACS Nano Lett.*, vol. 9, pp. 7–11, 2009.
- [76] Y. Shi, X. Dong, P. Chen, J. Wang, and L.-J. Li, "Effective doping of single-layer graphene from underlying SiO₂ substrates," *Phys. Rev. B*, vol. 79, p. 115402, 2009.
- [77] G. Giovannetti, P. A. Khomyakov, G. Brocks, V. M. Karpan, J. van den Brink, and P. J. Kelly, "Doping Graphene with Metal Contacts," *Phys. Rev. Lett.*, vol. 101, p. 026803, 2008.

-
- [78] H. Hibino, H. Kageshima, M. Kotsugi, F. Maeda, F.-Z. Guo, and Y. Watanabe, “Dependence of electronic properties of epitaxial few-layer graphene on the number of layers investigated by photoelectron emission microscopy,” *Phys. Rev. B.*, vol. 79, p. 125437, 2009.
- [79] K. Nagashio, T. Nishimura, K. Kita, and A. Toriumi, “Systematic Investigation of the Intrinsic Channel Properties and Contact Resistance of Monolayer and Multilayer Graphene Field-Effect Transistor,” *Jpn. J. Appl. Phys.*, vol. 49, p. 051304, 2010.
- [80] C. Oshima and A. Nagashima, “Hysteresis reversion in graphene field-effect transistors,” *Journal of Chemical Physics*, vol. 133, p. 044703, 2010.
- [81] A. Venugopal, L. Colombo, and E. M. Vogel, “Contact resistance in few and multilayer graphene devices,” *Appl. Phys. Lett.*, vol. 9, p. 013512, 2010.
- [82] M. C. Lemme, “Current Status of Graphene Transistors,” *Solid State Phenomena*, vol. 156-158, pp. 499–509, 2010.
- [83] L. Liao, J. Bai, Y. Qu, Y. Huang, and X. Duan, “Single-layer graphene on $\text{Al}_2\text{O}_3/\text{Si}$ substrate: better contrast and higher performance of graphene transistors,” *Nanotechnology*, vol. 21, p. 015705, 2010.

Lebenslauf

Pia Juliane Wessely (geb. Ginsel)

Geburtsdatum 02.09.1983
Geburtsort Dieburg
Staatsangehörigkeit deutsch

Berufliche Erfahrungen

Seit 2009 Technische Universität Darmstadt,
Fachbereich für Elektro- und Informationstechnik,
Institut für Halbleitertechnik und Nanoelektronik
Promotion zum Dr.-Ing.

Ausbildung

bis 2009 Technische Universität Darmstadt,

Studium der Physik
Abschluss: Master of Science in Physics

Studium Mathematik und Physik für Lehramt an Gymnasien
Abschluss: Erstes Staatsexamen

bis 2003 Grundschule,
Mittelstufe,
Oberstufe in Hessen,
Abschluss: Abitur

Darmstadt, den 29. Januar 2013